

Giải pháp đo tham số xung theo nguyên lý số hoá thời gian trên công nghệ FPGA

Cao Việt Linh^{1*}, Hà Huy Dũng¹, Tạ Hoài Nam²

¹Viện Ra đa, Viện Khoa học và Công nghệ quân sự, 17 Hoàng Sâm, Cầu Giấy, Hà Nội, Việt Nam;

²Khoa Vô tuyến điện tử, Học viện Kỹ thuật Quân sự, 236 Hoàng Quốc Việt, Bắc Từ Liêm, Hà Nội, Việt Nam.

*Email liên hệ: linhviet306@gmail.com

Nhận bài: 02/4/2024; Hoàn thiện: 15/5/2024; Chấp nhận đăng: 20/5/2024; Xuất bản: 25/8/2024.

DOI: <https://doi.org/10.54939/1859-1043.j.mst.97.2024.173-176>

TÓM TẮT

Quá trình sửa chữa, bảo dưỡng các mô đun xử lý tín hiệu số luôn đòi hỏi nhiều thiết bị đo lường chuyên dụng, thời gian thực hiện kéo dài và phức tạp. Để giảm thiểu thời gian, chi phí sửa chữa bảo dưỡng kỹ thuật, nhóm tác giả đề xuất phương án thiết kế bộ đo tham số xung đa kênh trên công nghệ FPGA trên cơ sở nguyên lý biến đổi số hóa thời gian (time-to-digital converter). Các bộ đo tham số xung này đang được ứng dụng trong thiết bị Phân tích kiểm tra đánh giá chất lượng các mảng mạch 394III04-KT.

Từ khóa: FPGA; Đo tham số xung; Xử lý tín hiệu số; Phân tích kiểm tra.

1. ĐẶT VẤN ĐỀ

Các bộ xử lý tín hiệu trong ra đa được thiết kế trên các bảng mạch số với kiến trúc xử lý công kênh, sử dụng số lượng, chủng loại lớn các linh kiện chuyên dụng [1] gây phức tạp cho quá trình đánh giá chất lượng và sửa chữa. Phương pháp thường dùng khi đánh giá hoạt động và hiệu chỉnh sửa chữa các bo mạch này thường là sử dụng đo thủ công [2] hoặc sử dụng các giải pháp tự động [3] như bộ tạo đường trễ phân nhánh (tapped-delay-line) [4], đường trễ Vernier [5], đường trễ khóa pha [6],... để đo và đánh giá tín hiệu. Tuy nhiên, các phương pháp này chỉ có khả năng đánh giá đồng thời một số lượng nhỏ tín hiệu hoặc có kiến trúc triển khai phức tạp, tiêu tốn nhiều tài nguyên.

Trong xử lý số ra đa, tần số xử lý các tín hiệu thường nhỏ hơn 30 MHz. Chính vì vậy, nhóm tác giả đề xuất xây dựng một bộ phát hiện tham số xung trên công nghệ FPGA ứng dụng nguyên lý biến đổi số hóa thời gian nhằm giải quyết nhu cầu đo đồng thời một lượng lớn các tín hiệu số với độ chính xác đảm bảo phục vụ cho đánh giá chất lượng và sửa chữa các mô đun xử lý tín hiệu số. Phương pháp này không đòi hỏi phải sử dụng tới các thiết bị máy phát, máy đo chuyên dụng khác, giảm thiểu thời gian, chi phí sửa chữa và bảo dưỡng trang thiết bị. Bộ phát hiện tham số xung được thiết kế trên chip FPGA với tần số dao động chủ tối đa lên tới 450 MHz. Tần số này hoàn toàn đảm bảo khả năng xử lý phát hiện các tham số xung tín hiệu trong ra đa.

Bài báo sẽ mô tả chi tiết kiến trúc và các đặc điểm thiết kế của bộ phát hiện tham số xung tại mục 2. Mục 3 trình bày kết quả ứng dụng của giải pháp trong đánh giá hoạt động của các mô đun xử lý tín hiệu số. Kết luận, đánh giá và phương hướng phát triển sẽ được trình bày trong mục 4.

2. NGUYÊN LÝ THỰC HIỆN

Thành phần chính của bộ đo tham số tín hiệu số là bộ đo độ rộng xung và bộ đo tần số xung. Nguyên lý của từng bộ đo sẽ được trình bày dưới đây.

2.1. Nguyên lý đo độ rộng giữa 2 xung

Nguyên lý đo độ rộng giữa 2 xung được thực hiện trên cơ sở bộ biến đổi thời gian số hóa (time-to-digital converter) theo mô hình của Nutt đưa ra trong [7].

Giản đồ thời gian của bộ biến đổi số hóa bao gồm có 2 phần với giai đoạn đo thô và giai đoạn đo tinh. Bộ đo thô là bộ đếm đơn giản theo dao động chủ của hệ thống. Các bộ đo tinh sẽ đo thời gian chính xác giữa sườn lên của tín hiệu START (T_{fine1} – bắt đầu có xung) tới thời điểm có sườn

lên của clock dao động chủ, và (T_{fine2}) giữa sườn lên của tín hiệu STOP và sườn lên của clock dao động chủ tiếp theo tiếp theo. Như trên hình ta có thể thấy độ rộng xung đo được sẽ là:

$$t = T_{fine1} + T - T_{fine2} = N \cdot T_{clk} + T_{fine1} - T_{fine2} \approx N \cdot T_{clk} \quad (1)$$

Trong đó, N là số chu kỳ đếm được, T_{clk} là chu kỳ của dao động chủ.

Do chúng ta không biết trước pha của tín hiệu nên tín hiệu xung gốc và xung đảo của nó sẽ được sử dụng làm tín hiệu báo hiệu bắt đầu và kết thúc bộ đếm như hình 1. Như vậy bộ đo độ rộng xung hoạt động theo nguyên tắc này có khả năng tính được độ rộng xung bất kể đặc tính pha của xung.

2.2. Nguyên lý hoạt động của bộ đo tham số xung

Quá trình đo độ rộng xung sẽ được thực hiện trực tiếp còn đo tần số xung được đo gián tiếp thông qua chu kỳ. Nguyên lý đo về cơ bản cũng tương tự như đo độ rộng xung, chỉ khác là ta sử dụng thêm 1 bộ đếm khác để đo giá trị. Sau đó đưa tới hai bộ đếm tách biệt. Một bộ đếm sẽ bắt đầu đếm bằng sườn lên (n_1) và dừng đếm khi có sườn xuống, bộ đếm kia sẽ bắt đầu đếm bằng sườn xuống và dừng đếm khi có sườn lên của xung (n_0). Khi đó, ta sẽ thu được tần số xung f sẽ là:

$$f = \frac{1}{T} = \frac{1}{T_1 + T_0} = \frac{1}{(n_1 + n_0)T_{clk}} \quad (2)$$



Hình 1. Giảm đồ thời gian và sơ đồ cấu trúc bộ đo tần số xung.

Để đảm bảo độ chính xác của các phép đo, sau mỗi bộ đếm có các bộ kiểm tra. Các kết quả đo được lưu vào thanh ghi, số đó đưa tới bộ so sánh. Tại đây, giá trị này được so sánh với giá trị trước đó, nếu bằng thì bộ đếm số giá trị đúng sẽ tăng lên, nếu khác với giá trị đo trước đó thì bộ đếm giá trị đúng sẽ giảm đi. Khi bộ đếm này vượt quá giá trị ngưỡng báo ổn định a cho trước thì kết quả sẽ được đưa ra. Nếu giá trị đếm giảm nhỏ hơn giá trị ngưỡng báo sai số đo cho phép thì sẽ báo xung không đo được. Kết quả đo lưu ở thanh ghi cũng được đưa tới bộ cộng tích lũy và tính trung bình giá trị đo cùng với sai số của phép đo. Các kết quả này cũng được đưa ra khi đạt tới các giá trị ngưỡng để làm cơ sở đánh giá phép đo.

2.3. Lựa chọn tần số bộ đếm

Để tối ưu quá trình đo và tài nguyên tính toán, cần lựa chọn các tần số phù hợp với dải giá trị của độ rộng xung. Ví dụ, khi đo xung có độ rộng cỡ 1ms, sử dụng xung clock giá trị 10ns sẽ đạt được kết quả đo với giá trị sai số là 0,01% và sử dụng thanh ghi 16 bit, điều này không thực sự cần thiết. Đối với các hệ thống đo chính xác các sai số chấp nhận được thường rơi vào khoảng 1% tới 3%. Các máy hiện sóng độ chính xác cao sẽ rơi vào khoảng 0.1% tới 1% [8].

Để lựa chọn tần số đo phù hợp, tần số đếm xung cần thiết sẽ là:

$$f \geq \frac{1}{\epsilon \cdot T} \quad (3)$$

Trong đó: ϵ là sai số mong muốn (%); T là khoảng giá trị cần đo.

Để tính toán lựa chọn độ rộng thanh ghi sử dụng trong bộ đếm chúng ta cần tính giá trị bộ đếm cần thiết, N_{min} , để tạo ra sai số ϵ . Thông thường ta sẽ chọn giá trị tối đa của bộ đếm trong khoảng $2N_{min}$. Từ đó có thể lựa chọn được giá trị bộ nhớ thanh ghi bộ đếm phù hợp:

$$C \geq \log_2(2N_{min}) \quad (4)$$

Tuy nhiên, thông thường trước khi đo chúng ta sẽ không biết được khoảng giá trị đo. Do đó, có thể sử dụng hai bộ đếm sơ bộ với tần số đếm thô để xác định khoảng tần số phù hợp. Với bộ đếm sơ bộ thứ nhất, chọn tần số f_{c1} , coi giá trị đếm sau bộ đếm sơ bộ thứ nhất là n_{c1} thì giá trị tần số của bộ đếm thứ hai. Sau đó, sử dụng giá trị xung clock f_{c2} mới chọn làm tần số đếm thu được giá trị n_{c2} . Lúc này giá trị tần số sẽ được lựa chọn theo các công thức sau:

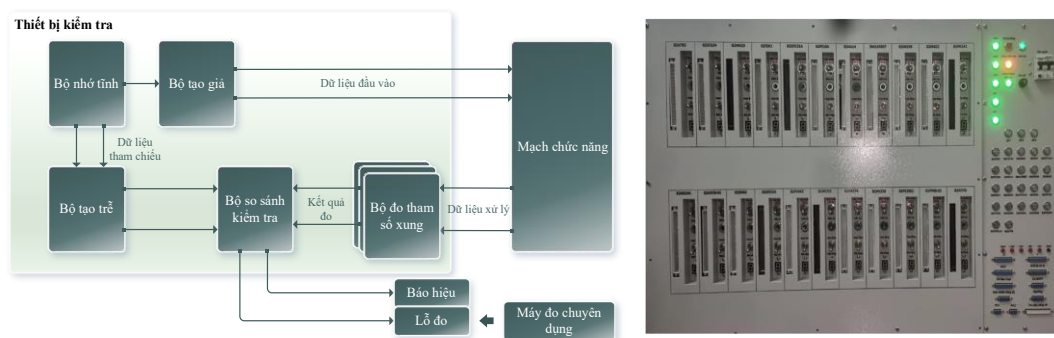
$$f_{c2} \geq \frac{N_{\min}}{n_{c1}} \cdot f_{c1} \text{ và } f \geq \frac{N_{\min}}{n_{c2}} \cdot f_{c2} \quad (5)$$

Do đó:

$$f \geq \frac{N_{\min} \cdot N_{\min}}{n_{c1} \cdot n_{c2}} \cdot f_{c1} = \frac{N_{\min}^2}{n_{c1} \cdot n_{c2}} \cdot f_{c1} \quad (6)$$

3. KẾT QUẢ ỨNG DỤNG

Thiết kế được triển khai trên chip FPGA Cyclone III của Altera. Sơ đồ nguyên lý chung và và thiết bị phân tích, kiểm tra đánh giá chất lượng các mảng mạch 394ΠΠΠ04-KT ứng dụng nguyên lý này được đưa ra trên hình 2. Thiết bị 394ΠΠΠ04-KT sẽ tạo ra một bộ dữ liệu đầu vào mẫu cho các mạch chức năng. Sau đó các tín hiệu được phản hồi từ đối tượng kiểm tra sẽ được đọc vào thiết bị kiểm tra. Bộ dữ liệu chuẩn được lưu trong các bộ nhớ tĩnh của mạch tạo giả và được làm trễ đi một khoảng thời gian tương ứng với thời gian xử lý của mạch chức năng. Hai nguồn dữ liệu này được kiểm tra bằng cách so sánh độ rộng xung và nhịp tần số tương ứng. Kết quả so sánh được đưa qua bộ lọc xung kim để lọc các xung gây ra do độ lệch đường truyền. Hai kết quả so sánh độ rộng xung và tần số hoạt động được kiểm tra đồng thời, từ đó đưa ra đánh giá về chất lượng tín hiệu. Một trong những ưu điểm của FPGA là cho phép xử lý song song đồng thời nhiều quy trình và thuật toán. Do đó, quá trình này có thể thực hiện đồng bộ đối với tất cả các tín hiệu đầu ra (mỗi tín hiệu sẽ sử dụng một bộ đo tham số xung) và đưa ra đánh giá cùng lúc, đảm bảo được mô phỏng dữ liệu như khi hoạt động trong thực tế. Từ đó, đưa ra đánh giá một cách toàn diện và chính xác về chất lượng bo mạch chức năng.



Hình 2. Sơ đồ thực hiện đo lường kiểm tra và sản phẩm.

4. KẾT LUẬN

Bài báo đã trình bày cấu trúc và các tính toán để xây dựng và thiết kế bộ phát hiện tham số xung ứng dụng trong đo lường, đánh giá hoạt động các mô đun xử lý tín hiệu số. Kiến trúc sử dụng không phức tạp, dễ thực hiện và tận dụng được ưu điểm của FPGA trong xử lý song song và xử lý tốc độ cao. Các tính toán về lựa chọn tần số, dung lượng thanh ghi cũng được đưa ra để có thể tối ưu được tài nguyên sử dụng trong vi mạch số. Kết quả thử nghiệm cho thấy bộ đo tham số xung đảm bảo được độ chính xác phép đo và có khả năng thay thế các phương pháp kiểm tra đo lường cổ điển. Ưu điểm của phương pháp này là cho phép đo lường kiểm tra cùng lúc nhiều tín hiệu một lúc, thời gian thực hiện nhanh chóng, độ chính xác cao.

Kỹ thuật này có thể phát triển lên để ứng dụng đo lường các tín hiệu tương tự. Khi sử dụng thêm các bộ ADC (biến đổi tương tự - số) và các bộ đệm xử lý phù hợp chúng ta có thể ứng dụng kỹ thuật này để đo lường tham số các tín hiệu tương tự.

TÀI LIỆU THAM KHẢO

- [1]. Đài Ra đa KACTA2E2, Thuyết minh kỹ thuật, Tập 4, Hệ thống thiết bị thu và thiết bị xử lý. Quân chủng phòng không không quân.
- [2]. The XYZs of Oscilloscopes, Primer, Tektronix, (2016).
- [3]. R.Machado, J. Cabral and F. S. Alves, "Recent developments and challenges in FPGA-based time-to-digital converters", IEEE Transactions on Instrumentation and Measurement, vol. 68, no. 11, pp.4205-4221, (2019).
- [4]. B. V. Bockel, J. Prinzie, P. Leroux, "A delay locked loop for time-to-digital converters with quick recovery and low hysteresis," TWEPP (2018).
- [5]. D. Chaberski, "Time-to-digital-converter based on multiple-tapped-delay-line," Measurement, Vol.92, pp.103-113, (2016).
- [6]. L. Vercesi, A. Liscidini, R. Castello, "Two-dimensions Vernier time-to-digital converter," IEEE J. Solid-State Circuits, 45 (8), pp.1504-1512, (2000).
- [7]. J.Kalisz, "Review of methods for time interval measurement with picosecond resolution", Metrologis, vol.41, pp.99-145, (2003).
- [8]. Digital Storage Oscilloscope GDS-3352, User Manual, GwInstek.

ABSTRACT

A solution for pulse measurement based on the time-to-digital principle using FPGA

The process of repairing and maintaining digital signal processing modules always requires specialized measuring equipment, which takes a long and tedious time. In order to reduce the time and cost of technical maintenance and repair, the authors proposed a design solution for pulse parameter measurement based on FPGA technology based on the time-to-digital converter principle. Currently, these pulse parameter meters are being applied in the 394III04-KT, module testing and analysis device.

Keywords: FPGA; Pulse measurement; Digital signal processing; Testing and evaluating.