

Phương pháp tính toán thiết kế vi mạch bán dẫn trộn tần Mixer dải rộng trên công nghệ CMOS 130 nm

Phan Hồng Minh^{1*}, Nguyễn Thị Thuý², Nguyễn Trường Sơn³

¹Viện Điện tử, Viện Khoa học và Công nghệ quân sự, 17 Hoàng Sâm, Cầu Giấy, Hà Nội, Việt Nam;

²Khoa Điện tử Viễn thông, Trường Đại học Điện lực, 235 Hoàng Quốc Việt, Bắc Từ Liêm, Hà Nội, Việt Nam;

³Ban Công nghệ thông tin, Bộ Tham mưu, Quân khu 2.

*Tác giả liên hệ: phanhongminh1979@gmail.com

Nhận bài: 15/9/2024; Hoàn thiện: 28/10/2024; Chấp nhận đăng 15/11/2024; Xuất bản: 06/12/2024.

DOI: <https://doi.org/10.54939/1859-1043.j.mst.FEE.2024.149-156>

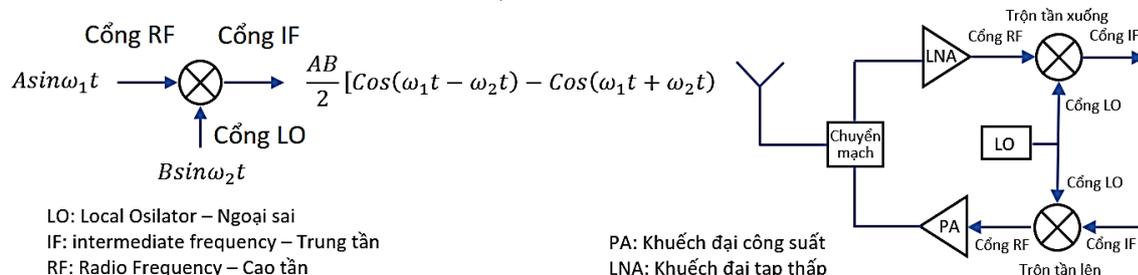
TÓM TẮT

Bài báo trình bày một phương pháp tính toán tham số và giải pháp thiết kế bộ trộn tần số tín hiệu theo cấu trúc GilbertCell bằng công nghệ CMOS sử dụng quy trình thiết kế chế tạo Skywater 130nm. Bộ trộn được tính toán thiết kế nguyên lý và layout để làm việc ở dải tần số 8 ÷ 30 MHz, từ đây có thể đánh giá được các tham số làm việc, hạn chế được rủi ro trong quá trình chế tạo và áp dụng vào thực tế trong lĩnh vực thiết kế chip RF chuyên dụng cho các máy thông tin vô tuyến băng công nghệ CMOS.

Từ khoá: Bộ trộn tín hiệu Mixer; CMOS Gilbert Cell Mixer; PDK Skywater 130nm.

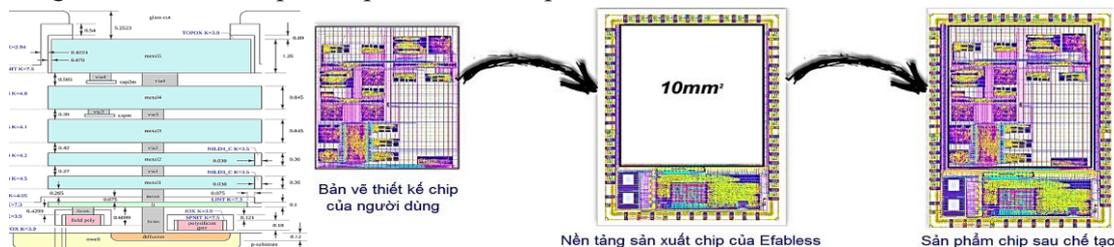
1. MỞ ĐẦU

Việc chuyển đổi tần số tín hiệu trong các hệ thống thông tin vô tuyến được thực hiện bởi bộ trộn tín hiệu - Mixer. Bộ trộn là một mạch ba cổng sử dụng các phần tử phi tuyến như diode, FET, BJT hoặc CMOS để nhân các tín hiệu với nhau nhằm biến đổi tần số lên hoặc xuống thành các tần số mong muốn [1, 6]. Ngoài ra, bộ trộn được dùng trong các hệ thống truy nhập vô tuyến tần số cao, phạm vi hẹp, băng thông rộng - WB, wireless LAN,...



Hình 1. Chức năng cơ bản và vai trò bộ trộn trong hệ thống thông tin [6].

Các bộ trộn được thiết kế thường sử dụng các công nghệ 180 nm [3, 5], 130 nm [6], 65 nm [7] do đáp ứng được chi phí thấp và công nghệ phổ biến. Các công nghệ này đáp ứng tốt được với những cấu trúc vi mạch phức tạp đòi hỏi hệ số phẩm chất cao.



Hình 2. Thiết kế chế tạo chip trên công nghệ CMOS 130 nm [15].

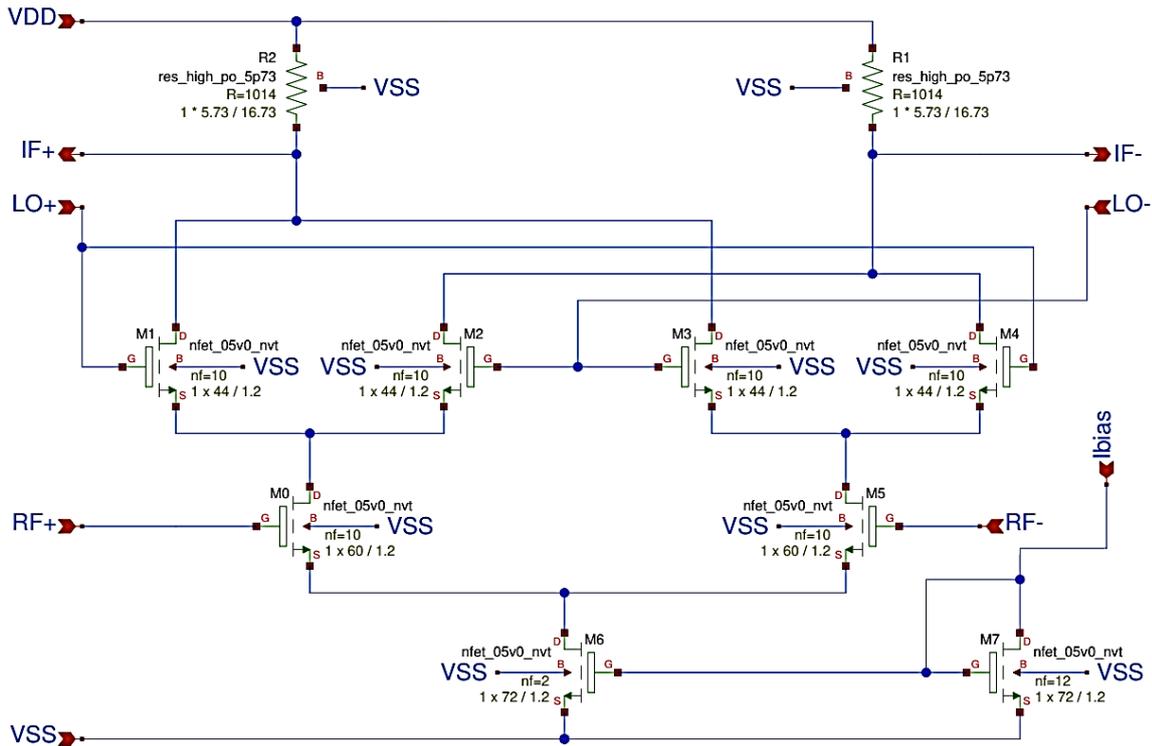
Công nghệ CMOS130 nm là một công nghệ chi phí thấp của hãng Skywater phát triển do

Google bảo trợ [12] được hỗ trợ đóng chip trên nền tảng của Efabless (hình 2), phù hợp với mục đích học tập nghiên cứu, sản xuất số lượng ít, phù hợp với các phòng Lab có quy mô nhỏ, các viện nghiên cứu.

2. CẤU TRÚC VÀ TÍNH TOÁN THIẾT KẾ

2.1. Cấu trúc bộ trộn

Gilbert là bộ trộn cân bằng (double-balanced mixers) được tích hợp thêm nguồn dòng bên ngoài để ổn định điểm làm việc và kiểm soát các tham số thiết kế, thường được sử dụng trong máy thu phát thông tin RF với hệ số phẩm chất cao [1].



Hình 3. Bộ trộn Gilbert Cell và cấu trúc đề xuất.

Tín hiệu cao tần RF được đưa vào cực Gate của M0, M5 làm nhiệm vụ như một bộ khuếch đại. M1, M2, M3, M4 nhân tín hiệu RF với tín hiệu LO để tạo ra một tín hiệu có thành phần tổng/hiệu của tần số, chức năng như một chuyển mạch đóng mở các tín hiệu RF để đưa ra cổng đầu ra trung tần IF. Nguồn dòng M6 và M7 cấu trúc mạch theo mạch gương dòng điện với giá trị dòng điện nằm trong khoảng từ 0,1 mA đến 1 mA. Có thể cung cấp thiên áp từ bên ngoài (DC Offset) để giảm sự phức tạp cấu trúc cũng như giảm hệ số tạp NF của mạch trộn (hình 3).

2.2. Tính toán tham số

Hệ số khuếch đại (*Conversion Gain - A_v*) được tính là tỉ số biên độ tín hiệu đầu ra trung tần IF với tín hiệu cao tần RF được biểu thị như sau [6]:

$$A_v \approx \frac{2}{\pi} g_m R_D \approx \frac{2}{\pi} \sqrt{\mu_n C_{ox} \frac{W}{L}} R_D \quad (1)$$

Tương tự như vậy, độ méo hài bậc ba (*third order harmonic distortion*) được định nghĩa là tỷ số giữa biên độ của hài bậc ba với biên độ của thành phần đầu ra cơ bản, được biểu thị như sau:

$$HD3 = \frac{1}{32} \frac{\mu_n C_{ox} \frac{W}{L}}{I_{SS}} V_{RF}^2 \quad (2)$$

Trong đó, I_{SS} là dòng thiên áp.

Độ méo điều chế bậc ba được định nghĩa là tỷ số giữa biên độ của sản phẩm điều chế bậc ba với biên độ của thành phần đầu ra cơ bản, được biểu thị như sau:

$$IM3 = \frac{3}{32} \frac{\mu_n C_{ox} \frac{W}{L}}{I_{SS}} V_{RF}^2 \quad (3)$$

là năng lượng đầu vào RF tại đó các mức công suất đầu ra của các thành phần trung tần IF xuyên điều chế không mong muốn và mong muốn bằng nhau. Sau trộn sẽ sinh ra các biến thể hài bậc cao, nguy hiểm nhất là các hài bậc lẻ, ở đây nó gần như nằm trong dải thông và giống với tín hiệu mong muốn. Tín hiệu có biên độ lớn nhất đó là sản phẩm hài bậc ba. Phổ biến nhất là méo xuyên nhiễu (*IMD - Inter Modulation Distortion*), đường chặn bậc ba (*TOI - Third Order Intercept*), đường này cắt đặc tuyến công suất lý tưởng tại điểm chặn bậc ba. Điểm chặn bậc ba được tính bởi:

$$A_{IIP3} = \sqrt{\frac{32}{3} \frac{I_{SS}}{\mu_n C_{ox} \frac{W}{L}}} = 4 \sqrt{\frac{2}{3}} (V_{gs} - V_{th}) \quad (4)$$

Trong đó, V_{gs} điện áp giữa cực G-S và V_{th} là điện áp ngưỡng của MOSFET.

Điểm nén 1-dB (power compression point P_{-1dB})

$$S_{1-dB} = 4 \sqrt{0.145 \frac{a_1}{a_3}} \quad (5)$$

Xác định được một điểm mà ở đó hệ số khuếch đại bị giảm đi 1 dB. Đây là điểm nén 1-dB, tham số quan trọng đánh giá khả năng khuếch đại của bộ trộn.

Đường cong của tín hiệu được biểu diễn bởi đa thức.

$$s_0 = a_1 s_1 + a_2 s_1^2 + a_3 s_1^3 + \dots \quad (6)$$

Trong đó, s_i là tín hiệu đầu vào có dạng:

$$s_i = S_1 \cos(\omega_1 t) \quad (7)$$

Và ở dạng bậc 3 khai triển lượng giác ta có:

$$\begin{aligned} S_1^3 \cos^3(\omega_1 t) &= S_1^3 \cos(\omega_1 t) \frac{1}{2} (1 + \cos(2\omega_1 t)) \\ &= S_1^3 \left(\frac{1}{2} \cos(\omega_1 t) + \frac{2}{4} \cos(\omega_1 t) \cos(2\omega_1 t) \right) \end{aligned} \quad (8)$$

từ công thức lượng giác

$$2 \cos a \cdot \cos b = \cos(a + b) + \cos(a - b)$$

Thay vào ta có:

$$= S_1^3 \left(\frac{1}{2} \cos(\omega_1 t) + \frac{1}{4} (\cos(\omega_1 t) + \cos(3\omega_1 t)) \right) = S_1^3 \left(\frac{3}{4} \cos(\omega_1 t) + \frac{1}{4} \cos(3\omega_1 t) \right)$$

Và do đó, hệ số khuếch đại được tính:

$$G = \frac{S_{0,\omega_1}}{S_{i,\omega_1}} = \frac{a_1 S_1 + \frac{3}{4} a_3 S_1^3}{S_1} = a_1 + \frac{3}{4} a_3 S_1^2 = a_1 \left(1 + \frac{3 a_3}{4 a_1} S_1^2 \right) = G(S_1) \quad (9)$$

Nếu $\frac{a_3}{a_1} < 0$ hệ số khuếch đại nén với biên độ tăng.

Tính mức đầu vào ở vị trí mà hệ số khuếch đại giảm 1 dB

$$20 \log \left(1 + \frac{3 a_3}{4 a_1} S_1^2 \right) = -1 \text{ dB}$$

Như vậy,

$$\frac{3 a_3}{4 a_1} S_1^2 = -0.11$$

Do đó,

$$S_1 = \sqrt{\frac{4}{3} \left| \frac{a_1}{a_3} \right|} \times \sqrt{0.11} = IM_3 - 9.6 \text{ dB} \quad (10)$$

Hệ số tạp NF , là chỉ số tạp nhiễu cộng tổng các thành phần tạp âm vốn có trong bộ trộn, mô tả mức độ nhiễu bên trong của thành phần linh kiện làm giảm tỉ số SNR và được biểu thị như sau

$$NF \approx 1 + \frac{\pi^2}{4} \left(\frac{\gamma}{g_m} + \frac{2}{g_m^2 R_D} \right) \quad (11)$$

Trong đó, γ là hệ số nhiễu và g_m là điện dẫn của MOSFET.

2.3. Thiết kế trên công nghệ CMOS 130 nm

Xác định quá áp (over voltage) cho các tầng RF và LO, do đó, thiết lập V_{RF_OD} và V_{LO_OD} : Các công thức sau được sử dụng để đưa ra các số liệu tối thiểu gần đúng của các thông số thiết kế để cải thiện thiết kế tối ưu của bộ trộn [2, 6].

$$A_v \approx \frac{2}{\pi} g_m R_D; I_{DS} = \frac{g_m^2 L}{2 \mu_n C_{ox} W}; g_m = \frac{2 I_{DS}}{(V_{GS} - V_{th})} \quad (12)$$

Tham số trong bảng 1 được chọn sao cho các bóng bán dẫn hoạt động trong vùng bão hòa và điện áp quá tải là giá trị thấp nhất, các điểm hoạt động của bóng bán dẫn chính xác phía trên điểm gồi nơi bắt đầu chế độ bão hòa. Do đó, luôn khuyến nghị chỉ định điện áp quá tải đủ đều cho các bóng bán dẫn đầu vào tầng RF và LO.

Bảng 1. Thiết lập các tham số linh kiện CMOS trên PDK 130 nm.

Ký hiệu	Mô tả tham số thiết kế	W(um)	L(um)	Cấu trúc hình học /Giá trị
L	Độ dài cổng Gate của Cmos		1.2	1.2 μm
R_D	Điện trở tải R1, R2	5.73	16.73	$1 \times 5.73 / 16.73 R = 1014 \text{ ohm}$
W_{RF}	Độ rộng của RF CMOS M0, M5	60	1.2	$1 \times 60 / 1.2 \text{ nf} = 10$
W_{LO}	Độ rộng của LO CMOS M1, M2, M3, M4	44	1.2	$1 \times 44 / 1.2 \text{ nf} = 10$
W_{I_Bias}	Nguồn dòng thiên áp M6, M7	72	1.2	$1 \times 72 / 1.2 \text{ nf} = 2,$ $1 \times 72 / 1.2 \text{ nf} = 12, I_{bias} 0.8 \text{ mA}$
V_{RF_OD}	Điện áp quá tải tầng RF			60 mV
V_{LO_OD}	Điện áp quá tải tầng LO			120 mV

3. MÔ PHỎNG VÀ THẢO LUẬN

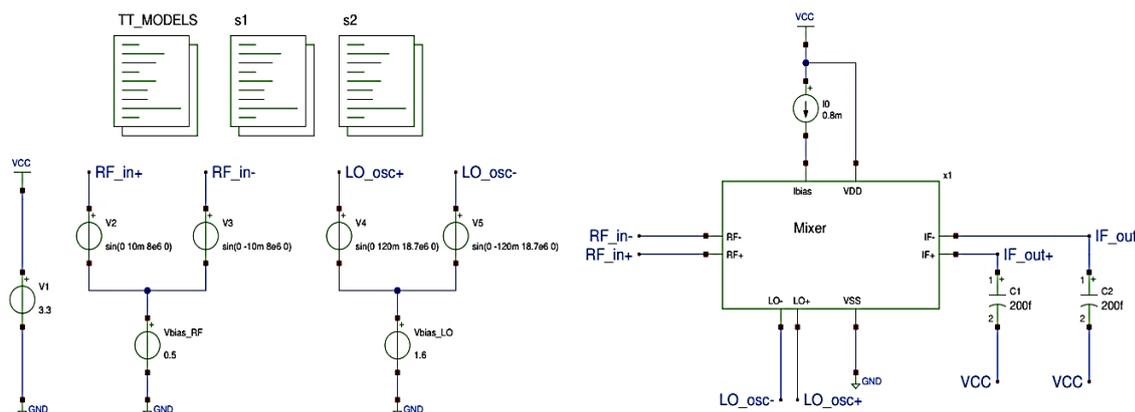
3.1. Thiết kế và mô phỏng nguyên lý

Sử dụng linh kiện CMOS trong thư viện PDK Sky30 nm [12] để thiết kế sơ đồ nguyên lý theo cấu trúc đề xuất hình 3. Thiết kế nguyên lý trên phần mềm Xschem [8], mô phỏng nguyên lý và mô phỏng mạch layout trên phần mềm Ngspice [10].

Thiết lập tham số mô phỏng:

Bảng 2. Thiết lập tham số mô phỏng.

Tham số	Giá trị	Tham số	Giá trị
R1, R2	1014 Ohm	Tần số RF	8 ÷ 30 MHz
C1, C2	200 f	Biên độ Vp	±10 mV
M1, M2, M3, M4	Gain = 0 dB	Tần số LO	18.7 ÷ 40.7 MHz
I bias	0.8 mA	Biên độ	±120 mV
LO bias	1.6 V	Tần số IF đầu ra	10.7 MHz
RF bias	0.5 V	Dạng tín hiệu	Sin
VDD	3.3 V	Trans.	0.0005u 1u 100n
M6, M7	Gain = 0 dB	FFT	0.0001 10u 100n



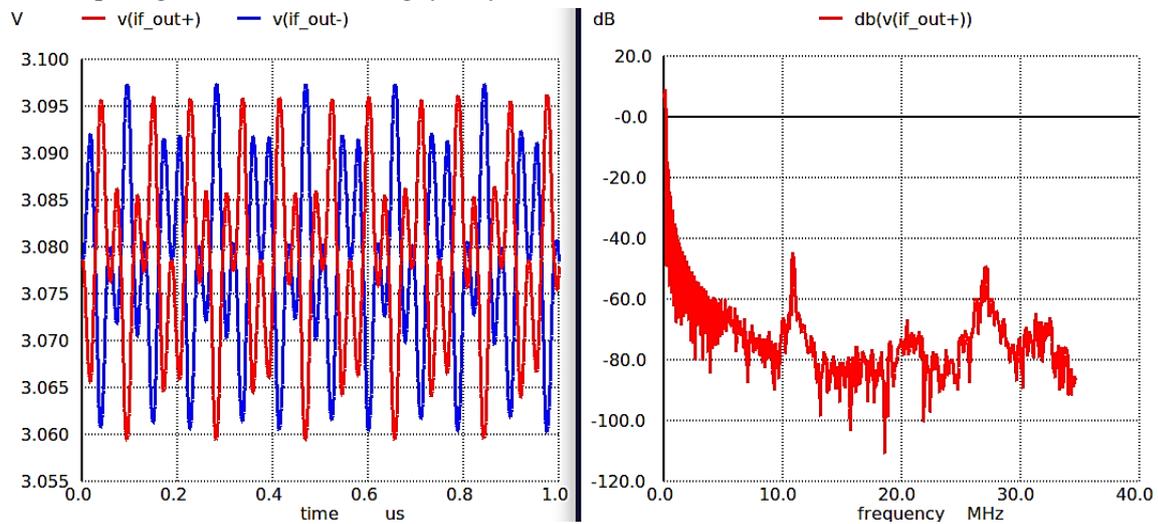
Hình 4. Sơ đồ cấu hình testbench mô phỏng nguyên lý.

Mô phỏng .OP xác định điểm làm việc của bộ trộn:

Bảng 3. Tổng hợp điểm làm việc của các linh kiện CMOS bộ trộn.

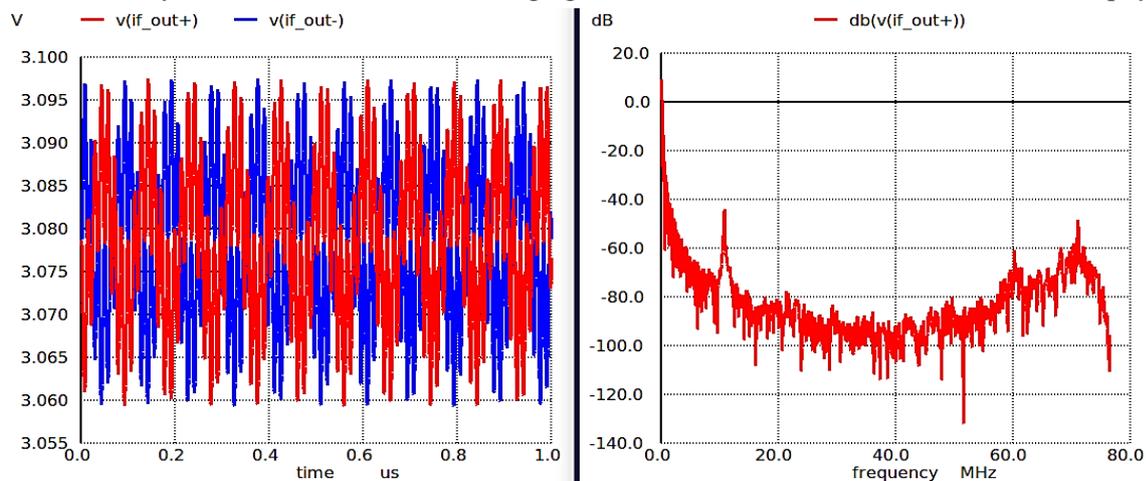
Ký hiệu	Mô tả tham số CMOS	Tầng RF M0, M5	Tầng LO M1, M2, M3, M4	Tầng I_Bias M6, M7
I_d	Dòng cực máng (μA)	217	108.5	434, 800
g_m	Điện dẫn (1/ohm)	0.00209	0.00132	0.00110, 0.00311
V_{th}	Điện áp ngưỡng (V)	0.07973	0.25523	0.04742, 0.04879
V_{dsat}	Điện áp bão hoà cực máng (V)	0.26284	0.22699	0.44282, 0.43679
V_{gs}	Điện áp cực G-S (V)	0.35324 V	0.48688 V	0.51404, 0.51404
V_{ds}	Điện áp cực D-S (V)	0.96637 V	1.9655 V	0.14676, 0.51404

Mô phỏng AC, Trans. sơ đồ nguyên lý bộ trộn:



Hình 5. Mô phỏng với tín hiệu RF = 8 MHz, LO = 18.7 MHz, thu được IF = 10.7 MHz.

Mô phỏng tín hiệu cao tần RF đối với các tần số 8 MHz, 19 MHz và 30 MHz, tần số ngoại sai LO = 18.7 MHz, 29.7 MHz, và 40.7 MHz được các cặp tần số trung tần IF 10.7 MHz theo tính toán. Như vậy, các tham số thiết kế trên công nghệ CMOS 130 nm được tính toán và chọn hợp lý.



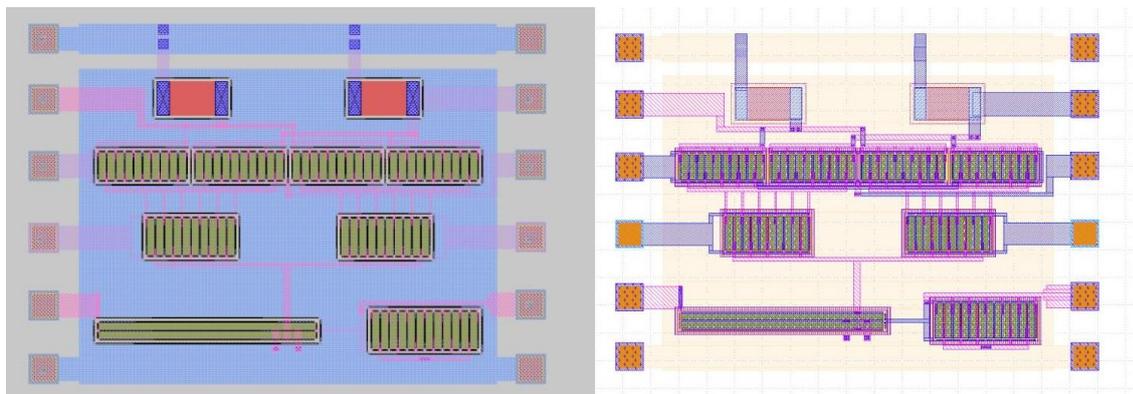
Hình 6. Mô phỏng với tín hiệu RF = 30 MHz, LO = 40.7 MHz, thu được IF = 10.7 MHz.

3.2. Thiết kế và mô phỏng layout

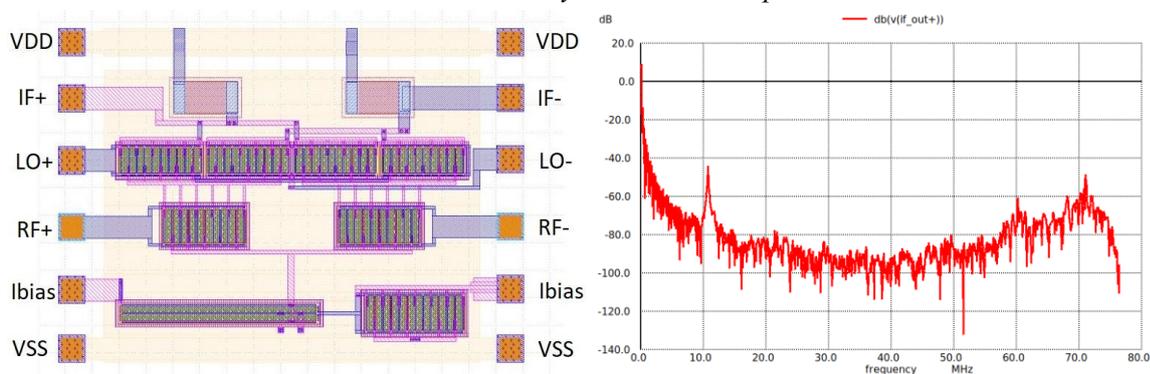
Từ sơ đồ nguyên lý xuất các mô hình linh kiện từ thư viện PDK Sky30 nm [12] để thiết kế layout. Để thiết kế layout và tapeout sử dụng phần mềm Magic VLSI [9], KLayout, kiểm tra sự tương thích giữa mạch nguyên lý và mạch layout dùng phần mềm Netgen [11], mô phỏng layout trên phần mềm Ngspice [10].

- Mô phỏng sơ đồ layout.

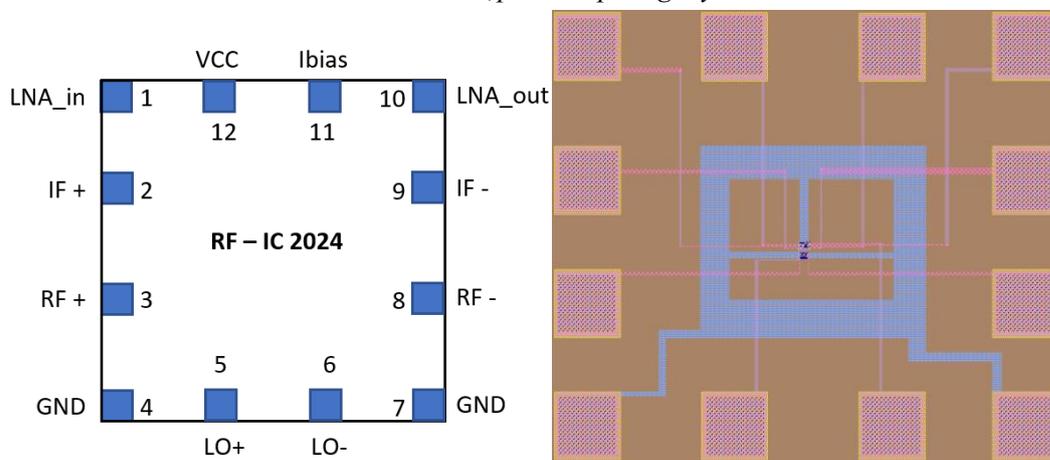
Với thiết kế layout, cần định nghĩa các cổng vào ra và gắn nhãn tên tín hiệu, từ đây tạo file mô hình .spice để tiến hành mô phỏng, thiết lập các testbench cung cấp nguồn và các tín hiệu đầu vào. Kết quả từ hình 8 cho thấy tín hiệu trung tần 10.7 MHz được tạo ra phù hợp với tham số tính toán, bản vẽ layout có kết quả tín hiệu đầu ra kém hơn so với mô phỏng nguyên lý, để giải quyết vấn đề này cần chỉnh sửa mạch layout và mô phỏng nhiều lần để xác định được thiết kế tối ưu.



Hình 7. Bản vẽ thiết kế layout và bản vẽ tapeout GDS.



Hình 8. Thiết lập và mô phỏng layout.



Hình 9. Thiết kế hoàn thiện và sơ đồ chân.

4. KẾT LUẬN

Bài báo đã đưa ra cơ sở tính toán và giải pháp thiết kế vi mạch chức năng trộn tần số trên công nghệ CMOS 130 nm, có thể kế thừa những kết quả này phát triển trên các công nghệ PDK thương mại 90 nm, 65 nm. Đây là nền tảng của những giải pháp thiết kế chip mới với chi phí thấp, phù hợp với điều kiện Việt Nam, có thể ứng dụng để thiết kế các vi mạch CMOS Analog chức năng khác nhau và các vi mạch số VLSI trong hệ thống điện tử. Trên cơ sở những kết quả này, hướng nghiên cứu tiếp theo của bài báo là tính toán thiết kế các vi mạch chức năng siêu cao tần và có công suất lớn có thể ứng dụng trong nhiều lĩnh vực quốc phòng an ninh và nghiên cứu khoa học.

TÀI LIỆU THAM KHẢO

- [1]. Behzad Razavi, “*Design of Analog CMOS Integrated Circuits*”, Mc Graw Hill, pp. 103-110, (2017).
- [2]. R. Jacob Baker, “*CMOS Circuit Design, Layout, and Simulation*”, IEEE Press Wiley, pp. (2019).
- [3]. Bhoomi Patel, Ameer Mankad, “*Design of Gilbert Cell Mixer Using CMOS Technology*”, International Journal of Advanced in Management, Technology and Engineering Sciences, (2018).
- [4]. Jinal Shah, Nimesh Prabhakar, “*Design of Single and Double Balanced Gilbert Cell Mixer using CMOS Processing Technology*”, International Journal of Science Technology & Engineering, (2017).
- [5]. Sushmitha D K, Dr. M. Nagabushanam, “*A 2.4 GHz CMOS Double Balanced Down Conversion Gilbert Cell Mixer Design Using 180 nm Technology*”, IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology, (2018).
- [6]. Dr. Satyanarayana R.V.S., Subramanyam Avvaru, “*Design and Optimization of Double Balanced Gilbert Cell Mixer in 130 nm CMOS Process*”, Solid State Electronics Letters 2, pp.129–139, (2020).
- [7]. Gilbert cell Mixer design in 65 nm CMOS technology.
- [8]. http://repo.hu/projects/xschem/xschem_man/xschem_man.html, “*xschem manual*”, (2023).
- [9]. <http://opencircuitdesign.com/magic/>, “*Magic VLSI layout tools manual*”, (2023).
- [10]. <https://ngspice.sourceforge.io/docs.html>, “*Ngspice user’s manual version 41*”, (2023).
- [11]. <http://opencircuitdesign.com/netgen/>, “*Netgen LVS user’s manual*”, (2023).
- [12]. <https://skywater-pdk.readthedocs.io/en/main/rules/device-details.html>

ABSTRACT

Designing and calculating of wide-band mixer semiconductor on 130 nm CMOS technology

The article introduces a method of calculating and designing the parameters of the GilbertCell Mixer, which is made of CMOS components using the PDK Skywater 130nm process. The mixer is calculated, designed the schematic and layout to work in the frequency range of 8 MHz ÷ 30 MHz, from which it is possible to evaluate the working parameters, limit the risks in the manufacturing process and apply them in practice in the field of designing specialized RF chips for radio communication devices using CMOS technology.

Keywords: Mixer; CMOS Gilbert Cell Mixer; PDK Skywater 130nm.