KỸ THUẬT HIỆU CHỈNH NỀN TRÊN MIỀN SỐ CHO SAI LỆCH KHUẾCH ĐẠI VÀ SAI LỆCH ĐỊNH THỜI TRONG TIADC

Tạ Văn Thành[1*], Trần Anh Thắng[2], Đào Ngọc Phong[3],
Lê Trọng Trung[1], Bùi Xuân Tiến[1], Hoàng Văn Phúc[4]

Tóm tắt: *Bài báo này trình bày kỹ thuật hiệu chỉnh nền trên miền số đề xuất cho sai lệch khuếch đại và sai lệch định thời trong ADC ghép xen thời gian (TIADC). Kỹ thuật đề xuất ước lượng sai lệch khuếch đại và sai lệch định thời bằng cách sử dụng bộ lọc vi phân thông dải và thuật toán bình phương cực tiểu đệ quy (RLS). Quá trình sửa lỗi được thực hiện bằng cách sử dụng ma trận Hadamard để khôi phục tín hiệu do các lỗi gây ra. Hiệu quả của kỹ thuật đề xuất được chứng minh thông qua kết quả mô phỏng trên TIADC 4 kênh 14bit. Kết quả mô phỏng cho thấy, hiệu năng của TIADC đã được cải thiện cả về tỉ số tín hiệu trên nhiễu và méo (SNDR) và dải động không chứa hài (SFDR). Bên cạnh đó, kỹ thuật đề xuất có thời gian hiệu chỉnh nhanh nên có thể cải thiện được tốc độ xử lý của phần cứng.*

Từ khóa: ADC ghép xen thời gian (TIADC); Sai lệch kênh; Sai lệch khuếch đại; Sai lệch định thời; Kỹ thuật hiệu chỉnh nền hoàn toàn số; Thuật toán bình phương cực tiểu đệ quy (RLS).

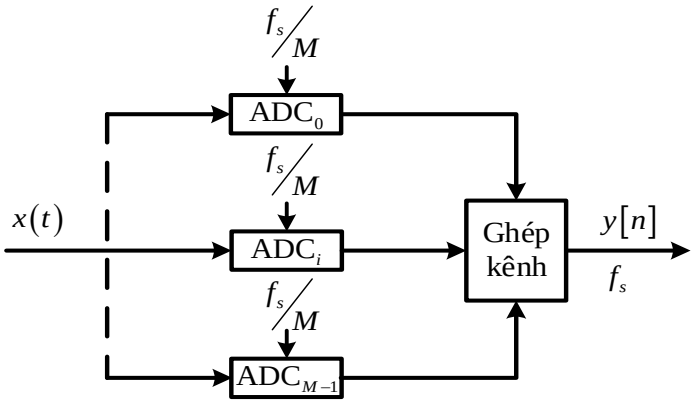
1. MỞ ĐẦU

Trong những năm gần đây, các hệ thống thông tin vô tuyến và hữu tuyến tốc độ cao như truyền hình số đa kênh, các hệ thống thông tin băng rộng, máy vô tuyến định nghĩa bằng phần mềm (SDR: Software Defined Radio),… đã có nhiều thành tựu trong nghiên cứu và phát triển ngày càng mạnh mẽ. Trong đó, tín hiệu được số hóa và xử lý ở tốc độ rất cao, đặc biệt là các máy thu lấy mẫu trực tiếp băng rộng. Trong các máy thu này, tín hiệu cao tần từ anten sau khi lọc được chuyển đổi trực tiếp sang tín hiệu số để xử lý tín hiệu trên miền số. Nhờ đó, có thể loại bỏ một số thành phần tương tự trong máy thu này như bộ lọc, bộ trộn, bộ khuếch đại,... Vì vậy, các bộ biến đổi tương tự - số (ADC: Analog-to-Digital Converter) trong các hệ thống này đang đóng vai trò rất quan trọng. Nó được yêu cầu phải làm việc ở tốc độ ngày càng cao (cỡ GHz), độ phân giải cao và công suất tiêu thụ thấp. Để đáp ứng được các yêu cầu này thì ADC ghép xen thời gian (TIADC: Time-interleaverd ADC) là một giải pháp có nhiều triển vọng [1, 2]. TIADC sử dụng *M* ADC đơn có độ phân giải cao, độ chính xác cao hoạt động song song, lấy mẫu xen kẽ tín hiệu tương tự đầu vào tại tần số f_s/M như minh họa trong hình 1. Tín hiệu đầu ra của mỗi kênh sau đó được ghép lại với nhau để tạo thành đầu ra số có tốc độ f_s. Vì vậy, về lý tưởng, TIADC giúp tăng tốc độ lấy mẫu lên *M* lần (với *M* là số kênh ghép xen thời gian) [3]. Tuy nhiên, các sai lệch kênh, bao gồm sai lệch một chiều, sai lệch khuếch đại, sai lệch định thời và sai lệch băng thông đã làm giảm đáng kể hiệu năng của TIADC [4-6].

Trong các sai lệch kênh, sai lệch khuếch đại và sai lệch định thời thường xảy ra và làm giảm hiệu năng của TIADC. Do đó, hiệu chỉnh các sai lệch kênh này để nâng cao hiệu năng của TIADC là việc làm hết sức cấp thiết. Đã có nhiều công trình nghiên cứu hiệu chỉnh sai lệch khuếch đại và sai lệch định thời. Các kỹ thuật thường ưu tiên hiệu chỉnh hoàn toàn trên miền số. Tuy nhiên, nhiều kỹ thuật đề xuất chủ yếu hiệu chỉnh từng sai lệch kênh riêng lẻ [1, 7-9]. Có một số kỹ thuật đề xuất đã hiệu chỉnh đồng thời cả sai lệch khuếch đại và sai lệch định thời [10-14]. Tuy nhiên, các kỹ thuật này thường sử dụng thuật toán LMS và ngân hàng bộ lọc để ước lượng sai lệch khuếch đại và sai lệch định thời. Khi sử dụng thuật toán LMS cần phải điều khiển vòng lặp để tìm các hệ số của bộ lọc. Do đó, thời gian hội tụ sẽ lâu hơn. Ngoài ra, các kỹ thuật này sử dụng bộ lọc vi phân lý tưởng để đạo hàm tín hiệu. Các bộ lọc này không thể sử dụng trực tiếp trong các ứng dụng mà tín hiệu vào nằm ngoài băng tần Nyquist đầu tiên, chẳng hạn như trong các máy thu lấy mẫu trực tiếp băng rộng.

Để khắc phục các nhược điểm trên, bài báo này trình bày kỹ thuật hiệu chỉnh sai lệch khuếch đại và sai lệch định thời thông qua hai bước: ước lượng sai lệch kênh bằng cách sử dụng bộ lọc vi phân thông dải và thuật toán bình phương cực tiểu đệ quy (RLS: Recursive Least Squares); sửa lỗi sai lệch kênh bằng cách sử dụng ma trận Hadamard kết hợp với bộ lọc vi phân thông dải. Kỹ thuật đề xuất thực hiện hoàn toàn trên miền số và không yêu cầu biết trước tín hiệu vào nên hoàn toàn phù hợp với các công nghệ CMOS (CMOS: Complementary Metal-Oxide-Semiconductor) hiện nay. Ngoài ra, kỹ thuật đề xuất sử dụng ma trận Hadamard có các phần tử là ±1 nên cho phép tăng tốc độ xử lý và giảm tài nguyên khi thực thi phần cứng. Thay vì sử dụng bộ lọc vi phân lý tưởng như các công trình trước, bài báo đề xuất xây dựng bộ lọc vi phân thông dải. Điều này giúp cải thiện hiệu năng của TIADC và cho phép TIADC có thể lấy mẫu cho các tín hiệu vào có băng tần Nyquist cao hơn. Kết quả mô phỏng cho thấy kỹ thuật đề xuất đã cải thiện đáng kể hiệu năng của TIADC.

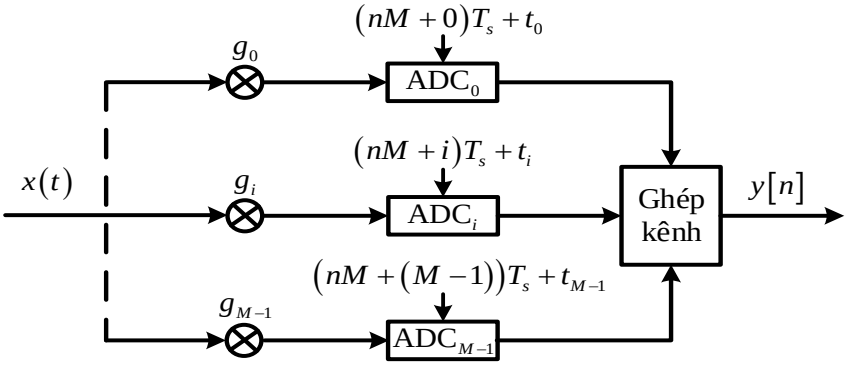
Phần còn lại của bài báo được tổ chức thành 3 phần. Phần 2 trình bày mô hình hệ thống và kỹ thuật hiệu chỉnh sai lệch khuếch đại và sai lệch định thời đề xuất. Kết quả mô phỏng và thảo luận được trình bày trong phần 3. Phần 4 đưa ra kết luận và một số hướng phát triển của bài báo.



Hình 1. *Mô hình TIADC M kênh.*

2. KỸ THUẬT HIỆU CHỈNH ĐỀ XUẤT

Xem xét mô hình TIADC M kênh chỉ có sai lệch khuếch đại và sai lệch định thời như minh họa trong hình 2. Giá trị sai lệch khuếch đại và sai lệch định thời tại kênh thứ i lần lượt được ký hiệu là g_i và t_i, với $i = 0,1,...,M-1$ và M là số kênh ghép xen thời gian. Tín hiệu tương tự đầu vào $x(t)$ là tín hiệu hình sin có băng tần hữu hạn sao cho $X(j\omega)$, với tần số $|\omega| \geq B$ và băng thông $B \leq \pi/T_s$. Giả sử tạp âm lượng tử rất nhỏ và có thể bỏ qua.



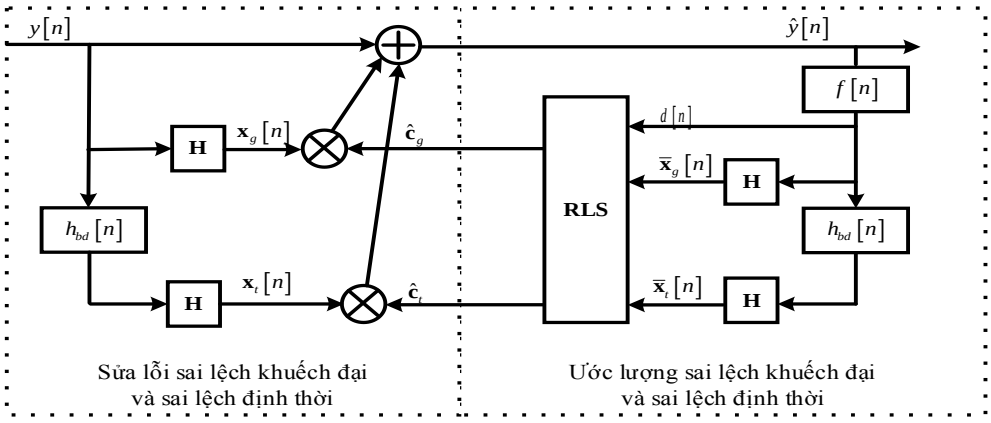
Hình 2. *Mô hình TIADC M kênh chỉ có sai lệch khuếch đại và định thời.*

Kỹ thuật đề xuất thực hiện hiệu chỉnh các sai lệch kênh thông qua hai bước: ước lượng và sửa lỗi sai lệch khuếch đại và sai lệch định thời. Mô hình hiệu chỉnh đề xuất được minh họa trong hình 3.

2.1. Kỹ thuật sửa lỗi sai lệch khuếch đại và sai lệch định thời

Giả sử rằng các sai lệch định thời rất nhỏ so với chu kỳ lấy mẫu. Khi đó, tín hiệu đầu ra của TIADC ($y[n]$) có thể được biểu diễn bằng tổng của tín hiệu lý tưởng ($x[n]$) và tín hiệu lỗi gây ra bởi sai lệch khuếch đại và sai lệch định thời ($e[n]$) như sau [11]:

$$y[n] = x[n] + e[n] \tag{1}$$



Hình 3. *Mô hình hiệu chỉnh đề xuất.*

Tín hiệu lỗi do sai lệch khuếch đại và sai lệch định thời gây ra có thể được biểu diễn thông qua xấp xỉ Taylor bậc một như sau:

$$e[n] \approx \mathbf{c}_g \mathbf{x}_g[n] + \mathbf{c}_t \mathbf{x}_t[n], \tag{2}$$

Trong đó, $\mathbf{x}_g[n]$ và $\mathbf{x}_t[n]$ lần lượt là véc-tơ tín hiệu lỗi gây ra bởi sai lệch khuếch đại và sai lệch định thời; $\mathbf{c}_g$ và $\mathbf{c}_t$ lần lượt là véc-tơ hệ số sai lệch khuếch đại và sai lệch định thời. Kỹ thuật đề xuất thực hiện sửa lỗi bằng cách khôi phục các véc-tơ tín hiệu lỗi do các sai lệch kênh gây ra. Véc-tơ tín hiệu lỗi do sai lệch khuếch đại gây ra được khôi phục bằng cách nhân tín hiệu đầu ra của TIADC với ma trận Hadamard như sau:

$$\mathbf{x}_g[n] = \mathbf{H}y[n] \tag{3}$$

Khác với sai lệch khuếch đại, sai lệch định thời làm lệch pha tín hiệu nên để khôi phục véc-tơ tín hiệu lỗi do sai lệch này gây cần phải thực hiện đạo hàm tín hiệu đầu ra của TIADC trước khi nhân với ma trận Hadamard. Phương pháp đề xuất sử dụng bộ lọc vi phân thông dải để đạo hàm tín hiệu. Do đó, véc-tơ tín hiệu lỗi do sai lệch định thời gây ra được xác định như sau:

$$\mathbf{x}_t[n] = \mathbf{H}h_{bd}[n] * y[n] \tag{4}$$

Trong đó, **H** là ma trận Hadamard bậc *M*; $h_{bd}[n]$ là đáp ứng xung của bộ lọc FIR vi phân thông dải (Bandpass Derivative Filter). Các phương pháp thông thường thường sử dụng bộ lọc vi phân lý tưởng để thực hiện đạo hàm tín hiệu. Tuy nhiên, bộ lọc này không phù hợp với các ứng dụng yêu cầu băng tần cao như vô tuyến định nghĩa bằng phần mềm hoặc máy thu lấy mẫu trực tiếp băng rộng. Do đó, kỹ thuật đề suất xây dựng bộ lọc FIR vi phân thông dải gồm hệ số tỉ lệ phụ thuộc vào thứ tự của băng tần Nyquist (k_{NB}) và hai bộ lọc có đáp ứng xung hữu hạn (FIR).

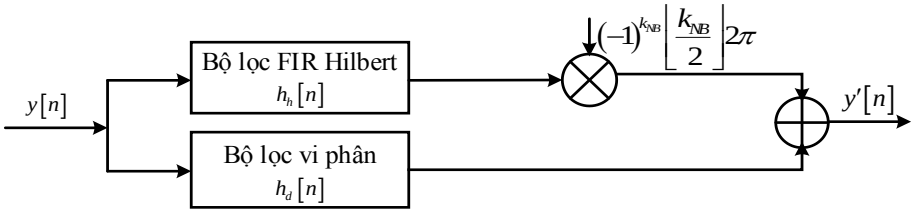
Hai bộ lọc này gồm một bộ lọc Hilbert ($h_h[n]$) và bộ vi phân ($h_d[n]$). Mô hình bộ lọc này được minh họa trong hình 4. Đáp ứng xung của hai bộ lọc này khi thiết kế lần lượt được cho như sau:

$$h_d[n] = \frac{\cos\left(\pi\left(n - \frac{N-1}{2}\right)\right)}{n - \frac{N-1}{2}} \tag{5}$$

$$h_h[n] = \frac{2}{\pi}\frac{\sin^2\left(\pi\left(n - \frac{N-1}{2}\right)\right)}{n - \frac{N-1}{2}} \tag{6}$$

Trong đó, N là bậc của bộ lọc thiết kế. Đáp ứng xung của bộ lọc vi phân thông dải thiết kế được xác định như sau:

$$h_{bd}[n] = h_d[n] + h_h[n] \times (-1)^{k_{NB}\left\lfloor \frac{k_{NB}}{2} \right\rfloor} 2\pi \tag{7}$$



Hình 4. *Mô hình bộ lọc vi phân thông dải đề xuất.*

Sau khi khôi phục được tín hiệu lỗi do sai lệch khuếch đại và sai lệch định thời gây ra, các lỗi này được loại bỏ khỏi đầu ra của TIADC để được tín hiệu đã sửa lỗi như sau:

$$\begin{aligned}\hat{y}[n] &= y[n] - e[n] = y[n] - \mathbf{c}_g\mathbf{x}_g[n] - \mathbf{c}_t\mathbf{x}_t[n] \\ &= y[n] - \mathbf{c}_g\mathbf{H}y[n] - \mathbf{c}_t\mathbf{H}h_{bd}[n] * y[n]\end{aligned} \tag{8}$$

Trong đó, các véc-tơ hệ số sai lệch khuếch đại và sai lệch định thời được tính như sau:

$$\mathbf{c}_g = \frac{1}{M}\mathbf{Hg}, \qquad \mathbf{c}_t = \frac{1}{M}\mathbf{Ht}, \tag{9}$$

Với, $\mathbf{g}$ và $\mathbf{t}$ lần lượt là các véc-tơ chứa các giá trị sai lệch khuếch đại g_i và sai lệch định thời t_i.

Như vậy, khi xác định được $\mathbf{c}_g$ và $\mathbf{c}_t$ thì có thể sửa các lỗi này theo phương trình (8). Các véc-tơ này cần phải được ước lượng một cách chính xác thì mới sửa được các lỗi này một cách hiệu quả.

2.2. Kỹ thuật ước lượng sai lệch khuếch đại và sai lệch định thời

Nhiệm vụ của khối ước lượng là khôi phục chính xác các hệ số sai lệch khuếch đại và sai lệch định thời để đưa đến khối sửa lỗi. Khối này thực hiện tái tạo lại véc-tơ tín hiệu lỗi do sai lệch khuếch đại và sai lệch định thời để đưa đến khối ước lượng RLS. Véc-tơ tín hiệu giả ngẫu nhiên và đạo hàm của nó được xác định theo phương trình sau:

$$\hat{\mathbf{x}}_g[n] = \mathbf{H}\hat{y}[n], \tag{10}$$

$$\hat{\mathbf{x}}_t[n] = \mathbf{H}h_{bd}[n] * \hat{y}[n]. \tag{11}$$

Để tránh hiện tượng chồng phổ giữa tín hiệu mong muốn và tín hiệu lỗi khôi phục được thì kỹ thuật đề xuất sử dụng bộ lọc Notch $f[n]$. Bộ lọc này dùng để loại bỏ các tín hiệu $\hat{y}[n]$ tại các vị trí $k\pi/M$ để tránh lỗi ước lượng. Sau khi qua bộ lọc Notch, các tín hiệu được biểu diễn như sau:

$$d[n] = \hat{y}[n] * f[n], \tag{12}$$

$$\begin{aligned} \hat{e}[n] &= \hat{\mathbf{x}}_g[n] * f[n] + \hat{\mathbf{x}}_t[n] * f[n] \\ &= \mathbf{H}\hat{y}[n] * f[n] + \mathbf{H}h_{bd}[n] * \hat{y}[n] * f[n] = \bar{\mathbf{x}}_g[n] + \bar{\mathbf{x}}_t[n] \end{aligned} \tag{13}$$

Các tín hiệu lỗi $\hat{\mathbf{x}}_g[n]$ và $\hat{\mathbf{x}}_t[n]$ được đưa đến khối RLS để tính tương quan của nó so với tín hiệu đầu ra được khôi phục $\hat{y}[n]$. Khối RLS dùng để tính hệ số sai lệch khuếch đại và sai lệch định thời theo thuật toán bình phương cực tiểu đệ quy (RLS) được xác định như sau:

- Khởi tạo RLS:

$$\hat{\mathbf{c}}_g[0] = 0, \qquad \hat{\mathbf{c}}_t[0] = 0, \qquad \lambda, \qquad \mathbf{P} = \delta\mathbf{I}, \tag{14}$$

- Cập nhật RLS:

$$\varepsilon[n] = d[n] - \hat{\mathbf{c}}_g[n]\mathbf{H}\hat{y}[n] * f[n] - \hat{\mathbf{c}}_t[n]\mathbf{H}h_{bd}[n] * \hat{y}[n] * f[n] \tag{15}$$

$$\pi = \mathbf{P}\left(\bar{\mathbf{x}}_g[n] + \bar{\mathbf{x}}_t[n]\right) \tag{16}$$

$$k = \frac{\pi}{\lambda + \left(\bar{\mathbf{x}}_g[n] + \bar{\mathbf{x}}_t[n]\right)\pi} \tag{17}$$

$$\mathbf{P}[n] = \frac{\mathbf{P}[n-1] - k\left(\bar{\mathbf{x}}_g[n] + \bar{\mathbf{x}}_t[n]\right)\mathbf{P}[n-1]}{\lambda} \tag{18}$$

$$\hat{\mathbf{c}}_g[n] = \hat{\mathbf{c}}_g[n-1] + k\varepsilon[n] \tag{19}$$

$$\hat{\mathbf{c}}_t[n] = \hat{\mathbf{c}}_t[n-1] + k\varepsilon[n] \tag{20}$$

Trong đó, **I** là ma trận đơn vị, δ là giá trị khởi tạo, và λ là hệ số forget của thuật toán RLS ($0 < \lambda < 1$), k là hệ số khuếch đại của thuật toán RLS.

3. KẾT QUẢ MÔ PHỎNG VÀ THẢO LUẬN

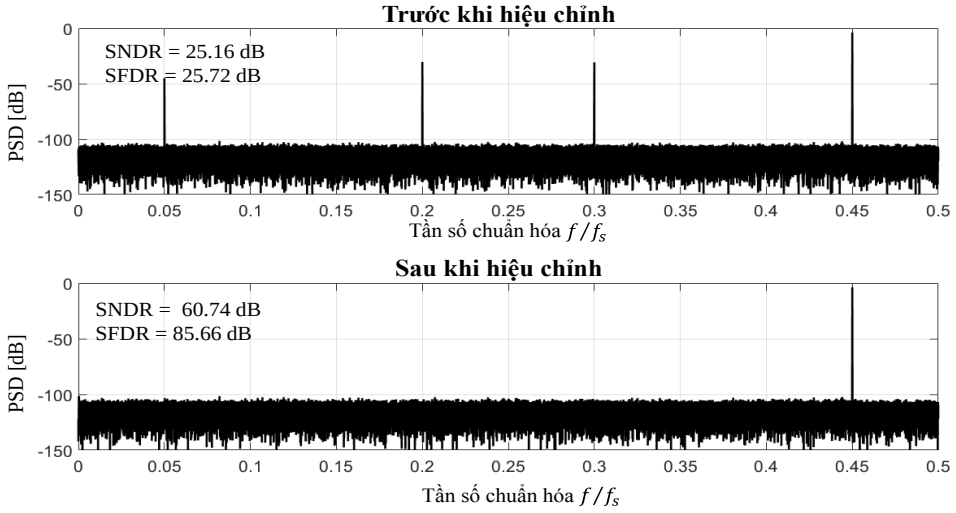
Để chứng minh hiệu quả của kỹ thuật hiệu chỉnh đề xuất, TIADC 14bit 4 kênh 60 dB SNR lấy mẫu tại tần số 2.7 GHz được mô hình hóa và mô phỏng bằng phần mềm MATLAB. TIADC này bao gồm cả sai lệch khuếch đại và sai lệch định thời. Độ lệch chuẩn của các sai lệch này lần lượt là 0.05 và 0.33 *ps*. Bộ lọc vi phân thông dải 33 khâu lọc được sử dụng để mô phỏng cho cả khối ước lượng và khối sửa lỗi như đã trình bày trong hình 4. Bộ lọc này được xây dựng theo phương pháp cửa sổ với hàm cửa sổ Blackman. Tham số mô phỏng của thuật toán RLS là: $\delta = 1$ và hệ số forget $\lambda = 0.99$. Tín hiệu tương tự đầu vào dùng để mô phỏng được xét trong cả hai trường hợp: tín hiệu đơn âm tại tần số $f_{in} = 0.45 f_s$ và tín hiệu đa âm tại các tần số 135 HMz, 486 MHz, 780 MHz và 1094 MHz. Các tín hiệu tương tự đầu vào được lấy mẫu trong khoảng 2^{18} điểm FFT. Sau khi tiến hành mô phỏng Monte-Carlo, mật độ phổ công suất (PSD: Power Spectral Density) trước và sau khi hiệu chỉnh của TIADC 4 kênh với tín hiệu vào đơn âm và đa âm lần lượt được thể hiện trong hình 5 và hình 6.

Đối với tín hiệu vào hình sin đơn âm, phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh bằng kỹ thuật đề xuất được minh họa trong hình 5. Kết quả này cho thấy, hầu hết các hài do các sai lệch kênh gây ra đã được loại bỏ. Các kết quả về hiệu năng của TIADC (tỉ số tín hiệu trên nhiễu và méo (SNDR) và dải động không chứa hài (SFDR)) trên hình 5 đã được cải thiện đáng

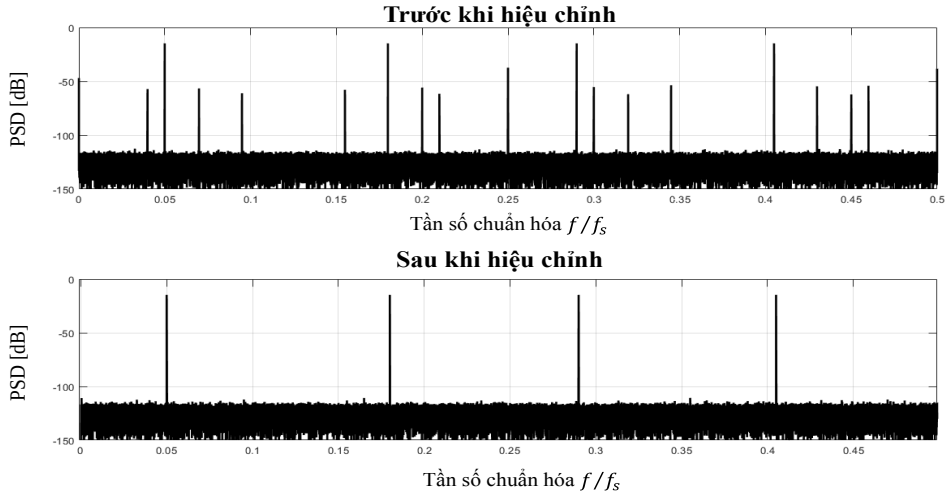
kể. SNDR sau khi hiệu chỉnh đã cải thiện được 35.58 dB so với trước khi hiệu chỉnh. Tương tự, SFDR cũng đã được cải thiện 59.94 dB so với trước khi hiệu chỉnh.

Đối với tín hiệu vào hình sin đa âm tại các tần số 135 HMz, 486 MHz, 780 MHz và 1094 MHz, phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh được minh họa trong hình 6. Kết quả mô phỏng cho thấy, không cần phải thay đổi các tham số mô phỏng, kỹ thuật đề xuất vẫn loại bỏ hết các hài do các sai lệch kênh gây ra. Điều này đã cho thấy hiệu quả của kỹ thuật đề xuất đối với các loại tín hiệu vào khác nhau.

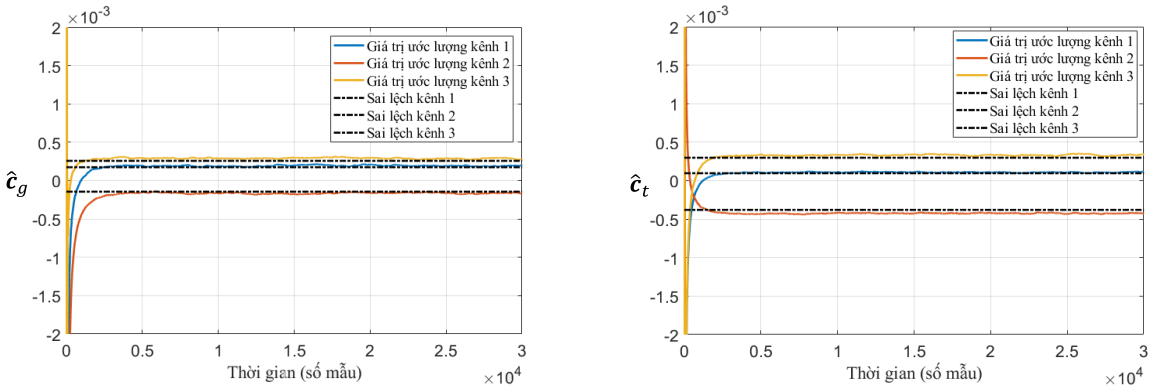
Kỹ thuật đề xuất còn được xem xét ở thời gian hội tụ của các tham số ước lượng sai lệch kênh. Quá trình hội tụ của các tham số ước lượng sai lệch kênh được minh họa trong hình 7. Trong đó, hình 7(a) và 7(b) lần lượt minh họa cho sự hội tụ của tham số ước lượng của sai lệch khuếch đại và sai lệch định thời. Các hệ số ước lượng được của sai lệch khuếch đại $\hat{\mathbf{c}}_g$ và sai lệch định thời $\hat{\mathbf{c}}_t$ lần lượt hội tụ sau khoảng 4000 mẫu và 3000 mẫu.



Hình 5. *Phổ tần số đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh đối với tín hiệu hình sin đơn âm.*



Hình 6. *Phổ tần số đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh đối với tín hiệu hình sin đa âm.*



a) b)

Hình 7. *Thời gian hội tụ của kỹ thuật đề xuất đối với: a) Sai lệch khuếch đại, b) Sai lệch định thời.*

Kết quả so sánh với các công trình đã công bố gần đây được thể hiện trong bảng 1. Từ kết quả so sánh cho thấy các kỹ thuật dùng thuật toán LMS và FxLMS để ước lượng sai lệch kênh thường có thời gian hội tụ rất dài trong khi đó hiệu năng (SNDR và SFDR) thu được không cao lắm. Trong các công trình này, đáng chú ý có công trình [14] cho hiệu năng cao hơn so với phương pháp đề xuất. Tuy nhiên, công trình [14] có giới hạn là chỉ thử nghiệm ở TIADC 12bit 2 kênh với tần số lấy mẫu thấp hơn và tín hiệu tương tự đầu vào có tần số thấp hơn. Đặc biệt, khi mô phỏng với các tín hiệu tương tự đầu vào có tần số lớn hơn (lớn hơn $0.4 f_s$) thì hiệu năng của công trình này giảm đáng kể. Vì vậy, nếu xét tại tần số $f_{in} = 0.45 f_s$ thì công trình [14] cho hiệu năng thấp hơn công trình này. Kỹ thuật đề xuất sử dụng thuật toán RLS để ước lượng các tham số sai lệch khuếch đại và sai lệch định thời nên có thời gian hiệu chỉnh ngắn hơn rất nhiều so với các công trình khác sử dụng thuật toán LMS và FxLMS. Do đó, kỹ thuật đề xuất cho hiệu quả tốt hơn các kỹ thuật thông thường.

Bảng 1. *Kết quả so sánh với các công trình đã công bố gần đây.*

Tham số so sánh	**[10]**	**[12]**	**[13]**	**[14]**	**Công trình này**
Loại sai lệch kênh	G*, T*	G*, T*	G*, T*	G*, T*	G*, T*
Thuật toán ước lượng sử dụng	FxLMS	-	DFT	LMS	RLS
Hiệu chỉnh nền	Có	Có	Có	Có	Có
Số kênh ghép xen	4	8	4	2	4
Tần số lấy mẫu	-	-	-	2GS/s	2.7GS/s
Tần số đầu vào	-	$0.45 f_s$	$0.07 f_s$	$0.04 f_s$ và đa âm	$0.45 f_s$ và đa âm
Số bit	-	10	10	12	14
Cải thiện SNDR (dB)	34.1	25	20.81	39.87	35.58
Cải thiện SFDR (dB)	-	-	40.78	58	59.94
Thời gian hội tụ (mẫu)	1200K	60K	-	141K	3K

G*: sai lệch khuếch đại; T*: sai lệch định thời

4. KẾT LUẬN

Bài báo đã trình bày phương pháp hiệu chỉnh nền hoàn toàn trên miền số đồng thời cho cả sai lệch khuếch đại và sai lệch định thời. Trong đó, sai lệch kênh được ước lượng bằng cách sử dụng bộ lọc vi phân thông dải và thuật toán bình phương cực tiểu đệ quy. Trong khi đó, quá trình sửa lỗi được thực hiện nhờ việc khôi phục các tín hiệu lỗi bằng cách sử dụng ma trận Hadamard. Kết quả mô phỏng trên phần mềm MATLAB đã chứng minh hiệu quả của kỹ thuật đề xuất cả về SNDR, SFDR và thời gian hội tụ. Trong thời gian tới, chúng tôi tiếp tục phát triển các kỹ thuật hiệu chỉnh mới để có thể hiệu chỉnh tất cả các sai lệch kênh trong TIADC. Ngoài ra, nghiên cứu và thực thi các giải pháp đề xuất trên phần cứng cũng là một trong những ưu tiên nghiên cứu sắp tới của chúng tôi.

TÀI LIỆU THAM KHẢO

[1]. H. Le Duc et al, *"All-digital calibration of timing skews for TIADCs using the polyphase decomposition,"* IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 63, no. 1, pp. 99-103, 2015.

[2]. I. Melamed and S. Toledo, *"A robust, selective, and flexible RF front-end for wideband sampling receivers,"* ICT Express, vol. 3, no. 2, pp. 96-100, 2017.

[3]. W. C. Black and D. A. Hodges, *"Time interleaved converter arrays,"* IEEE Journal of Solid-state circuits, vol. 15, no. 6, pp. 1022-1029, 1980.

[4]. C. Vogel, *"The impact of combined channel mismatch effects in time-interleaved ADCs,"* IEEE transactions on instrumentation and measurement, vol. 54, no. 1, pp. 415-427, 2005.

[5]. N. Kurosawa et al, *"Explicit analysis of channel mismatch effects in time-interleaved ADC systems,"* IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 48, no. 3, pp. 261-271, 2001.

[6]. T. Van-Thanh et al, *"All-Digital Background Calibration Technique for Offset, Gain and Timing Mismatches in Time-Interleaved ADCs,"* EAI Endorsed Trans. on Industrial Net. and Intelligent Sys., vol. 6, no. 21, 2019.

[7]. S. Liu et al, *"Adaptive semiblind background calibration of timing mismatches in a two-channel time-interleaved analog-to-digital converter,"* Analog Integrated Circuits and Signal Processing, vol. 90, no. 1, pp. 1-7, 2017.

[8]. H. Chen et al, *"All-digital background calibration technique for timing mismatch of time-interleaved ADCs,"* Integration, vol. 57, pp. 45-51, 2017.

[9]. H.-W. Kang et al, *"A sign-equality-based background timing-mismatch calibration algorithm for time-interleaved ADCs,"* IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 63, no. 6, pp. 518-522, 2016.

[10]. S. Saleem and C. Vogel, *"On blind identification of gain and timing mismatches in time-interleaved analog-to-digital converters,"* in 33rd Inter. Conf. on Telecom. and Signal Processing, Baden (Austria), pp. 151-155, 2010.

[11].C. Vogel et al, *"Adaptive blind compensation of gain and timing mismatches in M-channel time-interleaved ADCs,"* in 2008 15th IEEE International Conference on Electronics, Circuits and Systems, pp. 49-52, 2008.

[12]. J. Matsuno et al, *"All-digital background calibration technique for time-interleaved ADC using pseudo aliasing signal,"* IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 60, no. 5, pp. 1113-1121, 2013.

[13]. L. Guo, S. Tian, and Z. Wang, *"Estimation and correction of gain mismatch and timing error in time-interleaved ADCs based on DFT,"* Metrology and Measurement Systems, vol. 21, no. 3, pp. 535-544, 2014.

[14]. J. Zhang, H. Zhang, B. Yang, and R. Zhang, *"Joint background calibration of gain and timing mismatch errors with low hardware cost for time-interleaved ADCs,"* IET Circuits, Devices & Systems, vol. 13, no. 2, pp. 203-210, 2019.

ABSTRACT

FULLY DIGITAL BACKGROUND CALIBRATION
FOR GAIN AND TIMING MISMATCHES IN TIME-INTERLEAVED ADCS

This paper presents the proposed fully digital background calibration technique for gain and timing mismatches in time-interleaved ADC (TIADC). The proposed technique estimates the gain and timing mismatches by using a bandpass derivative filter and a recursive least square algorithm. The correction is performed by using a Hadamard matrix to recover the errors signal caused by the gain and timing mismatches. The effectiveness of the proposed technique is proven through simulation results on 4-channel 14bit TIADC. The simulation results show that the performance of TIADC has been improved both in the signal-to-noise-and-distortion ratio (SNDR) and spurious-free dynamic range (SFDR). Besides, the proposed technique has fast calibration time, so it can improve the processing speed.

Keywords: Time-interleaved ADC (TIADC); Channel mismatch; Gain mismatch; Timing mismatch; Fully digital calibration technique; Recursive least square algorithm.

Nhận bài ngày 15 tháng 4 năm 2021
Hoàn thiện ngày 11 tháng 8 năm 2021
Chấp nhận đăng ngày 05 tháng 9 năm 2021

Địa chỉ: [1] Trường ĐH Thông tin liên lạc, 101 Mai Xuân Thưởng, Nha Trang, Khánh Hòa;
[2] Trường ĐH Kỹ thuật công nghiệp – Đại học Thái Nguyên;
[3] Học viện Công nghệ Bưu chính Viễn thông;
[4] Trường ĐH Lê Quý Đôn, 236 Hoàng Quốc Việt, Hà Nội.
* Email: tvthanh@tcu.edu.vn.