

THUẬT TOÁN ĐIỀU KHIỂN ĐI-ỐT PIN TRONG MÔ ĐUN ĐIỀU KHIỂN XOAY PHA M-ΠΦ.05 CỦA ĐÀI RA ĐA MẠNG PHA

Nguyễn Văn Hạnh^{1*}, Hà Huy Dũng¹, Phạm Khắc Lanh¹, Trần Hoài Nam²

Tóm tắt: Ăng-ten mạng pha được ứng dụng rộng rãi trong nhiều thiết bị quân sự hiện đại như: ra đa cảnh giới, ra đa điều khiển hỏa lực, đầu tự dẫn tên lửa. Ra đa mạng pha là một đài ra đa tích cực 3 tọa độ với ăng-ten mạng pha được nhập ngoại nên các phần mềm đã bị mã hóa và không thể dịch ngược. Trong bài báo này, chúng tôi trình bày cơ sở xây dựng thuật toán điều khiển đi-ốt PIN trong mô đun điều khiển xoay pha M-ΠΦ.05 của đài ra đa mạng pha (trên cơ sở khảo sát chi tiết các tín hiệu vào/ra và phần mềm đọc được trên chip khả trình EPM7256AETI-100 của mô đun M-ΠΦ.05 nguyên bản của Nga).

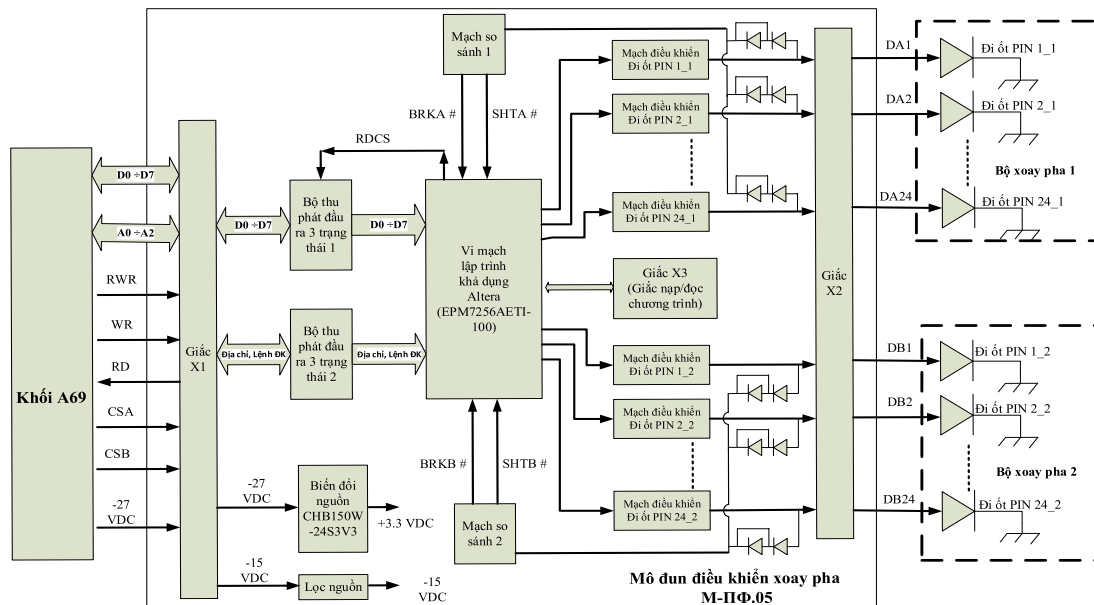
Từ khóa: Ăng-ten mạng pha; Đi-ốt PIN; Điều khiển xoay pha.

1. ĐẶT VẤN ĐỀ

Ra đa mạng pha là một đài ra đa tích cực 3 tọa độ với ăng-ten mạng pha. Khí tài được sử dụng để quan sát toàn cảnh các tình huống trên không và trên biển, phát hiện và bám các mục tiêu trên biển, trên không và kể cả các mục tiêu bay thấp có kích thước nhỏ và cung cấp số liệu chỉ thị mục tiêu cho các khí tài liên hợp. Hệ thống ăng-ten là hệ thống ăng-ten mạng pha, với các khe được khoét trên thành hộp của ống sóng. Quá trình quét búp sóng điện từ trong mặt phẳng góc tà được thực hiện thông qua điều khiển pha của 64 bộ xoay pha đi-ốt PIN trên ống sóng [1]. Việc thực hiện điều khiển pha thông qua mô đun điều khiển xoay pha M-ΠΦ.05, tuy nhiên, để hiểu và xây dựng được thuật toán điều khiển trong mô đun M-ΠΦ.05 là một vấn đề khó khăn, phức tạp. Bài báo trình bày thuật toán điều khiển trong mô đun M-ΠΦ.05 trên cơ sở khảo sát chi tiết các tín hiệu vào/ra và phân tích phần mềm đọc được trên chip khả trình EPM7256AETI-100 (hãng Altera) của mô đun M-ΠΦ.05 nguyên bản của Nga.

2. XÂY DỰNG THUẬT TOÁN ĐIỀU KHIỂN ĐI-ỐT PIN TRONG MÔ ĐUN ĐIỀU KHIỂN XOAY PHA M-ΠΦ.05

2.1. Sơ đồ chức năng mô đun M-ΠΦ.05: Thể hiện ở hình 1.



Hình 1. Sơ đồ chức năng của mô đun điều khiển xoay pha M-ΠΦ.05.

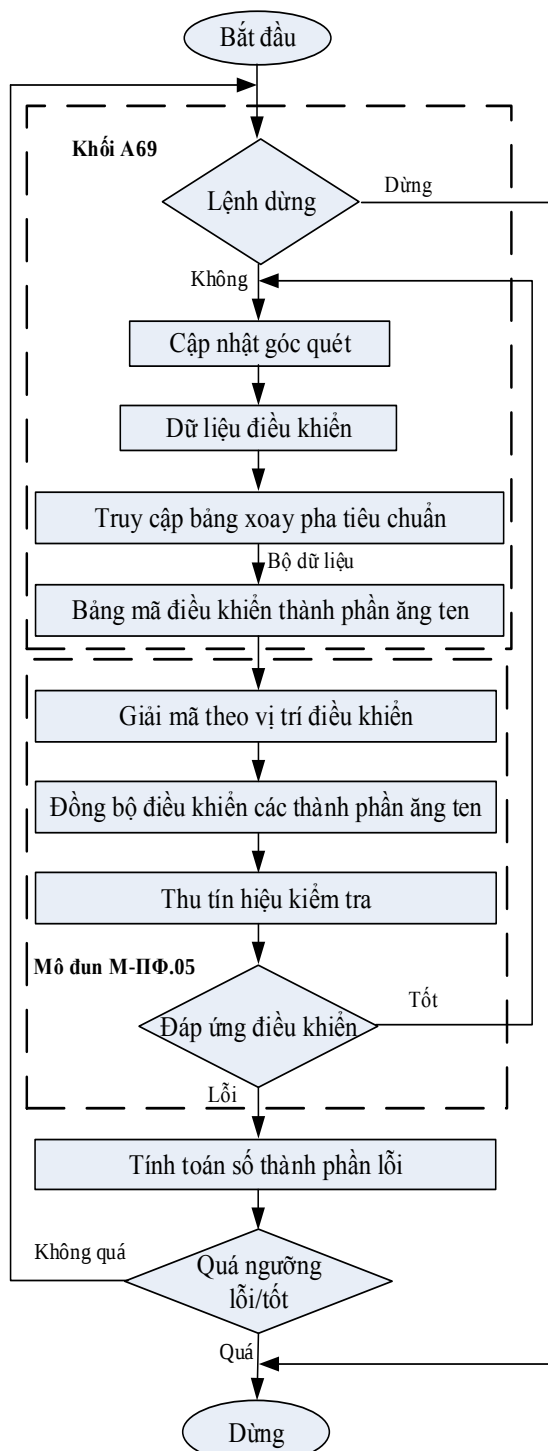
2.2. Thuật toán tạo tín hiệu điều khiển xoay pha

Xuất phát từ phương pháp điều khiển quét cánh sóng của ra đa mạng pha và sơ đồ chức năng của mô đun M-IIΦ.05, thuật toán điều khiển xoay pha bộ định dạng búp sóng đài ra đa mạng pha được xây dựng như hình 2, mô tả như sau:

Góc tà cần hướng tới được chuyển thành “Dữ liệu điều khiển” gồm các địa chỉ, xung đồng bộ để “truy cập bảng xoay pha tiêu chuẩn”. Bảng xoay pha tiêu chuẩn là một bộ nhớ chứa các qui định điều khiển đi-ốt PIN tại các thành phần ăng ten đã được thiết kế và căn chỉnh sẵn. Do số lượng các đi-ốt PIN lớn (22 đi-ốt x 64 bộ xoay pha), nên các dữ liệu này được truyền tải trên các bus dữ liệu nối tiếp cùng với nhóm xung điều khiển-đồng bộ tới mô đun M-IIΦ.05 (chính là mạch chấp hành). Tại mô đun M-IIΦ.05 các mã được thu-biến đổi “giải mã theo vị trí điều khiển” nhờ các dấu hiệu điều khiển-đồng bộ. Lệnh điều khiển vị trí đi-ốt PIN được cấp tới các giao tiếp vật lý một cách đồng thời theo thời gian nhờ xử lý “đồng bộ điều khiển các thành phần ăng ten”. Sau quá trình điều khiển, các bộ so sánh tín hiệu điện sẽ kiểm tra ngưỡng điện áp nối tải đi-ốt PIN để tạo ra các “tín hiệu kiểm tra”. Khi một mạch chấp hành bị lỗi, số mạch lỗi sẽ được cập nhật, nếu số mạch lỗi không gây ảnh hưởng nghiêm trọng tới định dạng búp sóng và sai số góc tà thì hệ thống vẫn tiếp tục hoạt động. Ngược lại, khi số mạch hỏng vượt ngưỡng cho phép, hệ thống sẽ đưa ra tín hiệu báo hỏng để dừng hoạt động của đài ra đa.

2.3. Sơ đồ chức năng phần mềm giải mã-đồng bộ điều khiển

Phần mềm thực hiện giao tiếp các tín hiệu số gồm: Tín hiệu điều khiển địa chỉ (A0, A1, A2); tín hiệu đồng bộ (CSA, CSB); tín hiệu Reset (xóa) (RD, RWR); tín hiệu đồng bộ bit (WR); Bus tín hiệu dữ liệu nối tiếp (D0 ÷ D7); tín hiệu điều khiển đi-ốt PIN (DA1 ÷ DA24; DB1 ÷ DB24); tín hiệu tự kiểm tra (SHTA #, BRKA #, SHTB #, BRKB #) và tín hiệu báo lỗi (RDCS). Tham số của các tín hiệu như trong bảng 1 [2].



Hình 2. Lưu đồ thuật toán điều khiển xoay pha.

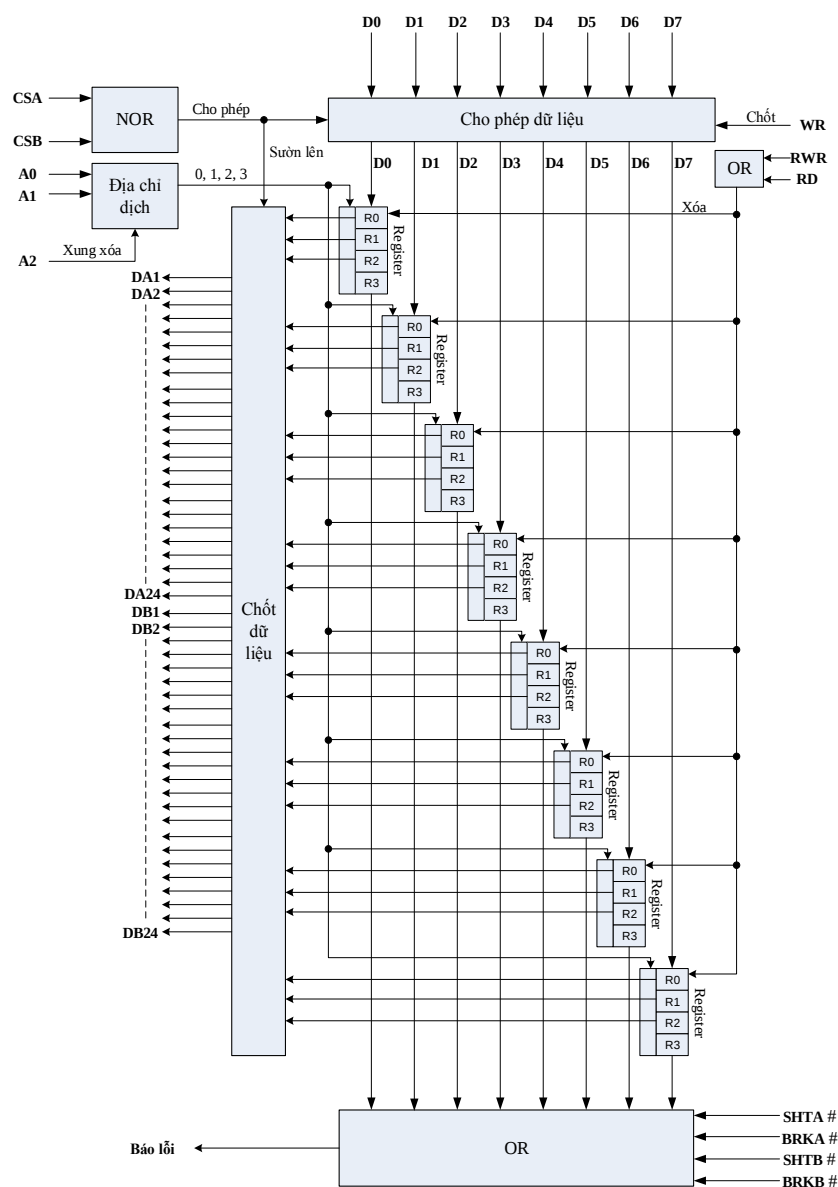
Bảng 1. Tham số các tín hiệu.

TT	Tên tín hiệu	Dạng tín hiệu	Độ rộng xung, τ [μ s]	Mức tín hiệu	Chu kỳ lặp ở thang cự ly, T [μ s]			
					30 km	60 km	150 km	250 km
1	Các tín hiệu điều khiển địa chỉ							
1	A0	Chùm 32 xung vuông	τ (xung con) = 1.6; τ (chùm xung) = 102.4	TTL	264	490	1075	1818
2	A1	Chùm 16 xung vuông	τ (xung con) = 3.2; τ (chùm xung) = 102.4	TTL	264	490	1075	1818
3	A2	Xung vuông	τ = 132	TTL	264	490	1075	1818
2	Các tín hiệu đồng bộ							
	CSA/ CSB	2 xung vuông, cách nhau 61.5 μ s	τ = 6.4	TTL	264	490	1075	1818
3	Các tín hiệu Reset (xóa)							
1	RWR	Xung vuông	τ = 0.8	TTL	264	490	1075	1818
2	RD	Xung vuông	τ = 1.6	TTL	264	490	1075	1818
4	Tín hiệu đồng bộ bit							
	WR	Chùm 64 xung vuông	τ (xung con) = 0.8; τ (chùm xung) = 102.4	TTL	264	490	1075	1818
5	Bus tín hiệu dữ liệu nối tiếp							
	D0÷D7	64 bit		TTL	264	490	1075	1818
6	Tín hiệu điều khiển đi-ốt PIN							
	DA1 ÷ DA24; DB1 ÷ DB24	- Điện áp điều khiển mở đi-ốt PIN của bộ xoay pha: + Khi không tải: +3.3 V; + Khi có tải: $\leq$ +1.4 V. - Điện áp điều khiển khóa đi-ốt PIN của bộ xoay pha: -27 V; - Dạng điện áp điều khiển đi-ốt PIN trong các chế độ: + BPH1, BPH2 (không quét búp sóng): DC; + BP1, BP2, BP3, BPH (quét búp sóng): Xung.						

Sơ đồ chức năng phần mềm nhúng nạp cho chip khả trình FPGA [4, 8] như hình 3, được mô tả như sau:

Dữ liệu điều khiển các đi-ốt PIN được truyền tải tới mô đun M-ΠΦ.05 theo 8 đường dữ liệu nối tiếp (64 bit/đường). Tại mỗi mô đun M-ΠΦ.05 chỉ có 4/64 bit của một đường dữ liệu được sử dụng để tác động tới các vị trí của đi-ốt PIN. Xung đồng bộ CSA/CSB có trạng thái thấp trong khoảng thời gian 6,4 μ s trùng với thời điểm xuất hiện 4 bit dữ liệu cần thiết, trạng thái này điều khiển khối chức năng cho phép dữ liệu để đưa các dữ liệu từ bus tín hiệu dữ liệu nối tiếp tới các tầng chức năng tiếp theo. Giản đồ tín hiệu vùng dữ liệu hợp lệ được mô tả trên hình 4, tín hiệu hợp lệ được đảm bảo ổn định nhờ xung chốt bit WR.

Mỗi bit trong 4 bit dữ liệu hợp lệ của từng đường D0 ÷ D7 tương ứng với chức năng và vị trí điều khiển đi-ốt PIN khác nhau. Các dữ liệu dạng nối tiếp-song song này được chuyển sang dạng song song hoàn toàn nhờ cụm chức năng ghi dịch theo địa chỉ đi kèm với từng đường bus dữ liệu. Việc điều khiển địa chỉ 4 vị trí có dạng 2 bit A0, A1. Các địa chỉ chỉ được tác động khi A2 có mức thấp.



Hình 3. Sơ đồ chức năng phần mềm nhúng.

Như vậy, sau quá trình ghi dịch các bit đầu vào các thanh ghi 4 bit đều chứa đầy đủ 4 giá trị bit dữ liệu hợp lệ. Trong đó, các bit thứ tự R0, R1, R2 tại thanh ghi tương ứng với giá trị điều khiển một vị trí đi-ốt PIN. Bit tại vị trí R3 luôn là mức thấp đóng vai trò như một bit kiểm tra tính tin cậy của đường truyền và các hệ thống giải mã. Giản đồ xung của nhóm bit địa chỉ được mô tả tại hình 5. Toàn bộ 48 đường điều khiển chỉ được kích hoạt đồng thời nhờ sườn lên của các xung của CSA/CSB. Vị trí các đi-ốt PIN được điều khiển tương ứng với các bit được liệt kê tại bảng 2.

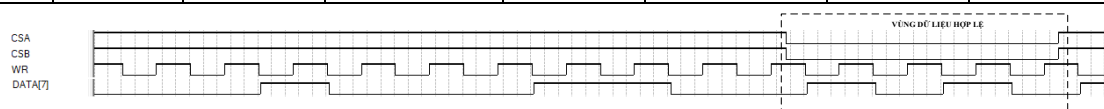
Sau khi các giá trị điều khiển được kích hoạt, dấu hiệu kiểm tra bảo hỏng sẽ được xác định theo các vi phạm ngưỡng điện áp và được đưa về phần mềm tại các chân SHTA #, BRKA #, SHTB #, BRKB #. Các dấu hiệu này được kết hợp với các điều kiện kiểm tra tại 8 bit R3 của 8 thanh ghi để đưa ra quyết định bảo hỏng hay không.

Trong một chu trình điều khiển các giá trị thanh ghi và quản lý đồng bộ được Reset tại mức

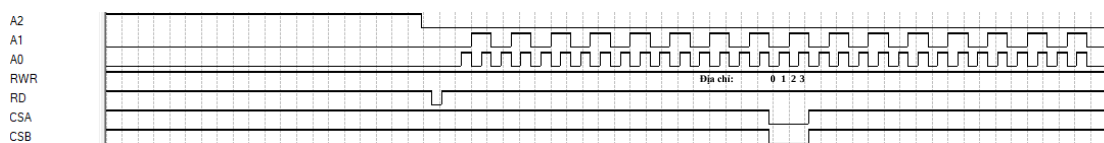
thấp của các xung RD, RWR. Giản đồ xung hoạt động tổng thể được mô tả trên hình 6. Các giá trị tại đầu ra trùng với các giá trị bit đầu vào theo bảng 2, có dạng như hình 7.

Bảng 2. Vị trí đi-ốt PIN được điều khiển theo dữ liệu.

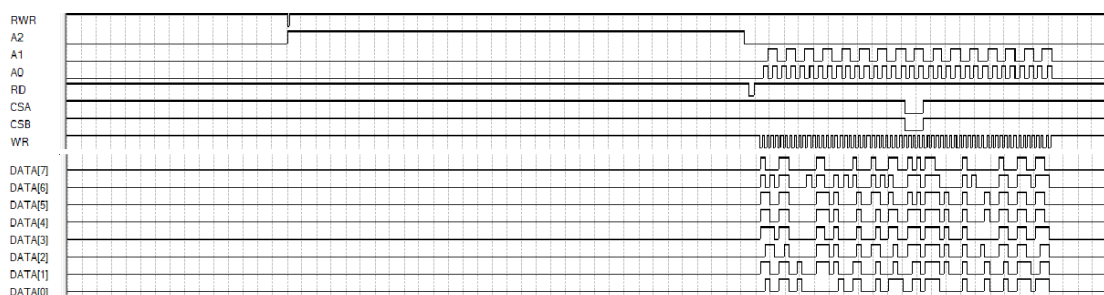
TT	Đường dữ liệu	Vị trí bit điều khiển	Vị trí đi-ốt PIN được điều khiển	Vị trí bit điều khiển	Vị trí đi-ốt PIN được điều khiển	Vị trí bit điều khiển	Vị trí đi-ốt PIN được điều khiển
1	D0	R0	1	R1	9	R2	17
2	D1	R0	0	R1	8	R2	16
3	D2	R0	3	R1	11	R2	19
4	D3	R0	2	R1	10	R2	18
5	D4	R0	5	R1	13	R2	21
6	D5	R0	4	R1	12	R2	20
7	D6	R0	7	R1	15	R2	23
8	D7	R0	6	R1	14	R2	22



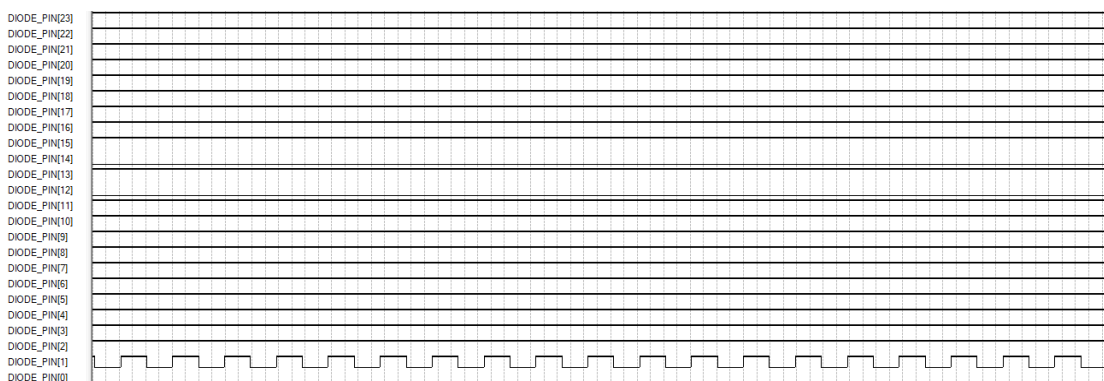
Hình 4. Giản đồ xác định vùng dữ liệu hợp lệ.



Hình 5. Giản đồ xung điều khiển địa chỉ.



Hình 6. Giản đồ xung điều khiển trong một chu trình.



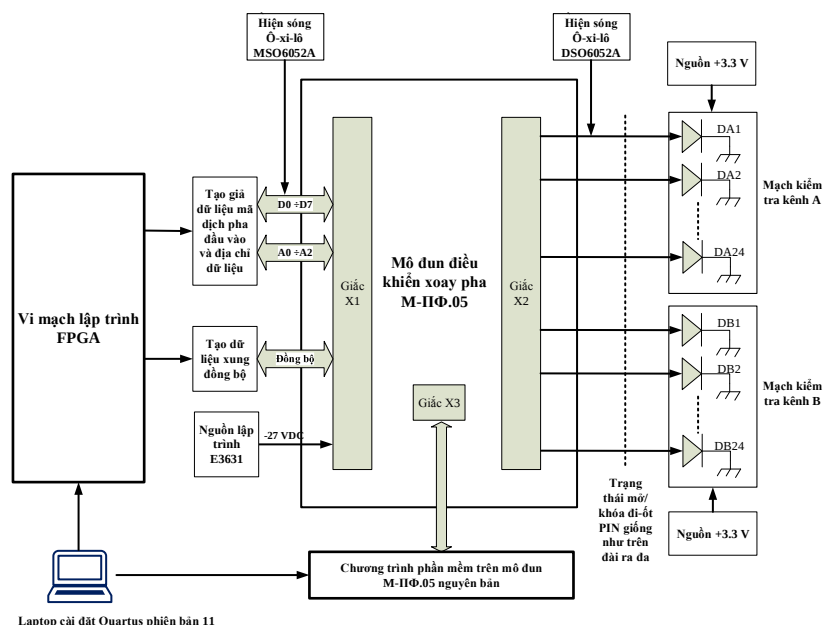
Hình 7. Dạng điện áp điều khiển đi-ốt PIN.

3. MÔ PHỎNG ĐÁNH GIÁ HIỆU QUẢ THUẬT TOÁN VÀ KẾT QUẢ

3.1. Sơ đồ mô phỏng thử nghiệm thuật toán: xem hình 8.

a. Mục đích mô phỏng

- Kiểm tra tín hiệu đồng bộ và điều khiển, dữ liệu đầu vào được tạo ra bằng cách mô phỏng trên phần mềm lập trình Quartus phiên bản 11;
- Kiểm tra mã đầu ra điều khiển theo các dữ liệu đầu vào lập trình.



Hình 8. Sơ đồ đầu nối thiết bị kiểm tra hiệu quả của thuật toán điều khiển.

b. Phương pháp thực hiện

- Dùng phần mềm lập trình Quartus phiên bản 11 tạo các tín hiệu đồng bộ và điều khiển, các dữ liệu đầu vào giống như bảng 1, sau đó nạp vào mạch FPGA. Thực hiện phát lại toàn bộ các tín hiệu này từ bo mạch FPGA cấp cho mô đun M-ΠΦ.05.

- Sử dụng máy hiện sóng Ô-xi-lô đo tại vị trí các tín hiệu điều khiển địa chỉ (A0, A1, A2); tín hiệu đồng bộ (CSA, CSB); tín hiệu Reset (xóa) (RD, RWR); tín hiệu đồng bộ bit (WR) và bus tín hiệu dữ liệu nối tiếp (D0 ÷ D7) trên các chân của giắc X1. Các tín hiệu này đảm bảo phải giống như bảng 1 (mục 1 ÷ 5).

- Sử dụng máy hiện sóng Ô-xi-lô đo tại vị trí 48 đầu ra điều khiển 48 đi-ốt PIN (trên giắc X2). Khi đó tải sử dụng là 02 mạch kiểm tra đầu ra được chế tạo phục vụ kiểm tra các trạng thái đầu ra của mạch điều khiển xoay pha.

3.2. Kết quả kiểm tra thuật toán

Tiến hành thay đổi trạng thái các bit thứ tự R0, R1, R2 của dữ liệu đầu vào (D0 ÷ D7) như bảng 2. Thực hiện kiểm tra các tín hiệu điều khiển đi-ốt PIN tại 48 đầu ra trên giắc X2, bằng cách quan sát trạng thái sáng/tắt của các đèn Led trên bo mạch kiểm tra A và B.

Kết quả kiểm tra trạng thái của các vị trí đi-ốt PIN được điều khiển theo thuật toán đã xây dựng hoàn toàn tuân thủ đúng theo quy luật đã trình bày trong bảng 2 và tương đương với mô đun M-ΠΦ.05 nguyên bản của Nga. Điều đó khẳng định thuật toán điều khiển đi-ốt PIN trong mô đun M-ΠΦ.05 đã xây dựng hoàn toàn chính xác.

3.3. Kết quả thử nghiệm sản phẩm phần cứng

Tổ đề tài đã thiết kế, chế tạo 02 mô đun điều khiển xoay pha M-ΠΦ.05 mới (hình 9), tiến hành nạp phần mềm và lắp đặt thử nghiệm vào đài ra đa mạng pha trên tàu Hải Quân. Kết quả thử nghiệm ở tất cả 6 chế độ làm việc БРН1, БРН2, БР1, БР2, БР3, БРН của đài ra đa đáp ứng đầy đủ các chỉ tiêu kỹ thuật và tương đương với mô đun nguyên bản của Nga. Điều đó khẳng định tính lặp lần tương đương 1:1 và khả năng ứng dụng thực tế của sản phẩm đã chế tạo.



Hình 9. Mô đun M-ΠΦ.05 chế tạo mới.

4. KẾT LUẬN

Việc xây dựng được thuật toán điều khiển trong mô đun điều khiển xoay pha M-ΠΦ.05 cho phép điều khiển bất kỳ vị trí của đi-ốt PIN nào trong 64 bộ xoay pha đi-ốt PIN trên ống sóng. Điều đó giúp ta thiết lập được mức xoay pha của từng bộ xoay pha đi-ốt PIN trên ống sóng để quét búp sóng điện từ trong góc tã theo mong muốn ở tất cả 6 chế độ làm việc trên đài ra đa mạng pha. Thuật toán điều khiển trong mô đun điều khiển xoay pha M-ΠΦ.05 có thể phát triển ứng dụng để điều khiển các bộ xoay pha sử dụng đi-ốt PIN (trên mạch dải hoặc ống sóng) sử dụng trong các đài ra đa mạng pha ở các dải tần khác.

Lời cảm ơn: Nghiên cứu này thực hiện dưới sự tài trợ về kinh phí từ đề tài nền cấp Viện KHCNQS, mã số 001/2020/HĐ-ĐT-RĐ.

TÀI LIỆU THAM KHẢO

- [1]. Khí tài “Ra đa mạng pha”, Thuyết minh kỹ thuật và hướng dẫn sử dụng, BTL Hải quân.
- [2]. Khí tài “Ra đa mạng pha”, Liệt kê các thông số kỹ thuật cơ bản, BTL Hải quân.
- [3]. Mailloux, R. J., “Phased Array Antenna Handbook”, Artech House, 2005.
- [4]. “MAX 7000A Programmable Logic Device Data Sheet”, Altera Corporation, September 2003, ver. 4.5.
- [5]. W. E. Doherty, Jr, R. D. Joos, “The PIN Diode Circuit Designers Handbook”, Microsemi Corporation, 1998.
- [6]. Application Note 929, “Fast Switching PIN Diode”, Agilent Technologies, 1999.
- [7]. Application Note 1049, “A Low Distortion PIN Diode Switch Using Surface Mount Devices”, Agilent Technologies, 1999.
- [8]. “My First FPGA Design Tutorial”, Altera Corporation, July 2008.

ABSTRACT

THE ALGORITHM CONTROL PIN DIODE IN M-ΠΦ.05 MODULE OF PHASE ARRAY RADAR

Phase array antenna systems are widely used in many modern military devices such as: radar, fire control radar, self-propelled missile. Phase array radar is a 3-coordinate active radar with an imported phase array antenna so the software was encode and could not be reverse-translated. In this paper, we present the basis of constructing algorithm to control PIN diode in the M-ΠΦ.05 phase shifter control module of phase array radar (on the basis of detailed survey of the signals input/output and readable software on the EPM7256AETI-100 programmable chip of the original Russian M-ΠΦ.05 module).

Keywords: Phase array antenna; PIN diode; Phase shifter control.

Nhận bài ngày 03 tháng 02 năm 2021

Hoàn thiện ngày 24 tháng 8 năm 2021

Chấp nhận đăng ngày 10 tháng 10 năm 2021

Địa chỉ: ¹Viện Ra đa, Viện Khoa học và Công Nghệ quân sự, Bộ Quốc phòng;

²Phòng Kỹ thuật, Lữ đoàn 162, BTL Vùng 4 Hải quân, Bộ Quốc phòng.

*Email: duchanh191175@gmail.com.