

Mạch san bằng thích nghi 5 Gb/s dựa trên bộ đếm trên công nghệ CMOS 180-nm

Lê Thị Luận*

Viện Điện tử, Viện KH-CN quân sự.

*Email: leluan2010@gmail.com.

Nhận bài ngày 30/11/2021; Hoàn thiện ngày 23/02/2022; Chấp nhận đăng ngày 29/3/2022.

DOI: <https://doi.org/10.54939/1859-1043.j.mst.78.2022.58-67>

TÓM TẮT

Bài báo này trình bày mạch san bằng thích nghi dựa trên bộ đếm mà không sử dụng các mạch tương tự để giảm thiểu ảnh hưởng của sự thay đổi trong quá trình chế tạo, nhiệt độ và nguồn cấp tới chất lượng san bằng. Kỹ thuật san bằng dựa trên bộ đếm được đề xuất để mạch san bằng đạt được thời gian thích nghi ngắn và tiêu thụ ít công suất. Các sườn của dữ liệu sau lấy mẫu được đếm để bù cho tổn hao của kênh truyền dữ liệu nối tiếp tốc độ cao. Mạch san bằng thích nghi được thiết kế trên công nghệ CMOS 180 nm. Kết quả mô phỏng cho thấy mạch san bằng có khoảng bù 27.8 dB tại tốc độ dữ liệu 5 Gb/s, thời gian san bằng thích nghi là 4.42 μ s và tiêu thụ 14.04 mW công suất với điện áp nguồn cung cấp 1.8 V.

Từ khóa: San bằng thích nghi; San bằng tuyến tính thời gian liên tục; San bằng dựa trên bộ đếm; Mạch san bằng CMOS; Thông tin nối tiếp tốc độ cao.

1. ĐẶT VẤN ĐỀ

Ngày nay, những tiến bộ trong công nghệ chế tạo chất bán dẫn cho phép chúng ta có thể tăng tốc độ dữ liệu tại máy phát và máy thu. Tuy nhiên, sự cải thiện chất lượng của các kênh thông tin không theo kịp với sự phát triển của công nghệ bán dẫn. Khi tốc độ dữ liệu tăng, các kênh này có tổn hao phụ thuộc vào tần số. Thành ra, tín hiệu băng thông rộng có các mức suy hao khác nhau tương ứng với các tần số khác nhau và sự tổn hao phụ thuộc vào tần số này dẫn đến nhiễu xuyên ký tự (ISI: Intersymbol Interference). Để giảm thiểu ảnh hưởng của kênh truyền tới dữ liệu nối tiếp tốc độ cao, các mạch san bằng (EQ: Equalizer) tại máy thu được sử dụng. Một số giải pháp để thực hiện san bằng trong các máy thu dữ liệu nối tiếp tốc độ cao là sử dụng các mạch lọc đáp ứng xung hữu hạn (FIR: Finite Impulse Response), các mạch lọc tuyến tính, các mạch lọc phản hồi quyết định. Tuy nhiên, do các đặc tính của kênh truyền không phải lúc nào cũng được biết trước đối với quá trình truyền dữ liệu nên mạch san bằng với hệ số bù tổn hao kênh truyền được thiết kế trước không đạt được hiệu quả tối ưu. Do đó, các mạch san bằng thích nghi trở nên phù hợp hơn trong thực tế và hấp dẫn hơn trong nghiên cứu [1-11].

Mạch san bằng thích nghi dựa vào kỹ thuật cân bằng phổ được trình bày trong [1-4]. Năng lượng của các thành phần tần số cao và các thành phần tần số thấp của dữ liệu thu được từ các mạch lọc thông cao và thông thấp tương ứng được so sánh để điều chỉnh hệ số khuếch đại của mạch san bằng. Trong nghiên cứu [5], mạch phát hiện độ dốc dữ liệu được sử dụng để so sánh độ dốc của dữ liệu trước và sau mạch hạn biên để điều chỉnh mạch san bằng. Tuy nhiên, các kỹ thuật san bằng này yêu cầu các mạch tương tự phức tạp như mạch lọc, mạch so sánh, mạch phát hiện độ dốc dữ liệu. Hơn nữa, chất lượng của các mạch tương tự này có thể bị suy giảm do ảnh hưởng của sự thay đổi nhiệt độ, nguồn cấp và quá trình chế tạo. Phương pháp san bằng thích nghi dựa trên việc quản lý độ mở của mẫu mắt được trình bày trong [6-8]. Tuy nhiên, trong [6], mạch san bằng thích nghi yêu cầu một độ mở ban đầu nhất định của mẫu mắt. Tức là mạch không thể làm việc đúng với dữ liệu bị ảnh hưởng nặng bởi ISI. Trong khi đó, chất lượng của mạch san bằng có sự trả giá với phần cứng sử dụng [7] và phụ thuộc nhiều vào mật độ chuyển của dữ liệu đầu vào [8]. Để khắc phục hạn chế của hai kỹ thuật san bằng trên thì kỹ thuật san bằng thích nghi số dựa trên bộ đếm đã được nghiên cứu trong [9-11]. Tuy nhiên, [9] có thời gian

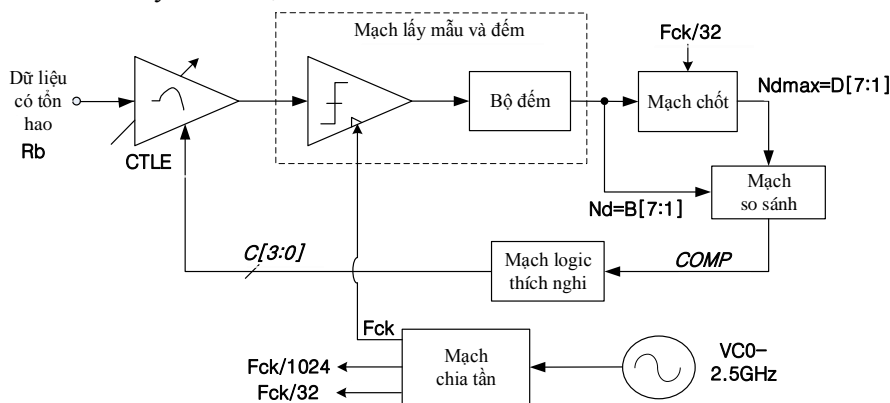
thích nghi dài do cần lưu một số lượng lớn các mẫu dữ liệu trong khi [10, 11] cần có xung đồng hồ tham chiếu bên ngoài để tạo các cửa sổ thời gian và lấy mẫu dữ liệu.

Trong bài báo này, kỹ thuật san bằng thích nghi số dựa trên bộ đếm được đề xuất. Dữ liệu có ISI được lấy mẫu, sau đó được đếm để bù cho tổn hao của kênh truyền. Kỹ thuật đếm sườn của dữ liệu đã được lấy mẫu đề xuất không cần các mạch số lớn để lưu mẫu dữ liệu như trong [9] và nâng cao hiệu quả san bằng khi so sánh với kỹ thuật đếm trực tiếp sườn của dữ liệu trong [10]. Hơn nữa, một mạch dao động điều khiển bằng điện áp (VCO) được tích hợp trong mạch san bằng thích nghi để loại bỏ sự cần thiết của xung đồng hồ tham chiếu bên ngoài. Đồng thời, trong bài báo này, ảnh hưởng của độ dốc sườn xung đồng hồ để lấy mẫu dữ liệu tới chất lượng san bằng cũng được khảo sát.

Bài báo gồm có sáu phần, phần tiếp theo sẽ trình bày kiến trúc của mạch san bằng thích nghi, thiết kế nguyên lý chi tiết các mạch thành phần chính được trình bày trong phần 3, phần 4 là khảo sát ảnh hưởng của độ dốc sườn xung đồng hồ tới chất lượng san bằng, kết quả mô phỏng mạch được giới thiệu trong phần 5 và cuối cùng là kết luận.

2. KIẾN TRÚC MẠCH SAN BẰNG THÍCH NGHI

Hình 1 thể hiện kiến trúc của mạch san bằng thích nghi đề xuất. Mạch san bằng thích nghi bao gồm mạch san bằng tuyến tính thời gian liên tục (CTLE) ba tầng, mạch lấy mẫu và đếm để thực hiện đếm số sườn của dữ liệu đã được lấy mẫu. Xung đồng hồ lấy mẫu được tạo ra từ mạch VCO. Mạch so sánh sẽ so sánh giá trị ở đầu ra mạch chốt và đầu ra bộ đếm để tạo ra tín hiệu COMP đưa tới mạch logic thích nghi. Mạch logic thích nghi sẽ dựa vào trạng thái của tín hiệu COMP để tạo ra các bit điều khiển số C[3:0]. Sau đó, các bit điều khiển số này được đưa tới mạch CTLE ba tầng để điều chỉnh hệ số khuếch đại thành phần dữ liệu tần số cao. Khi đó, tổn hao gây ra bởi kênh truyền sẽ được bù.



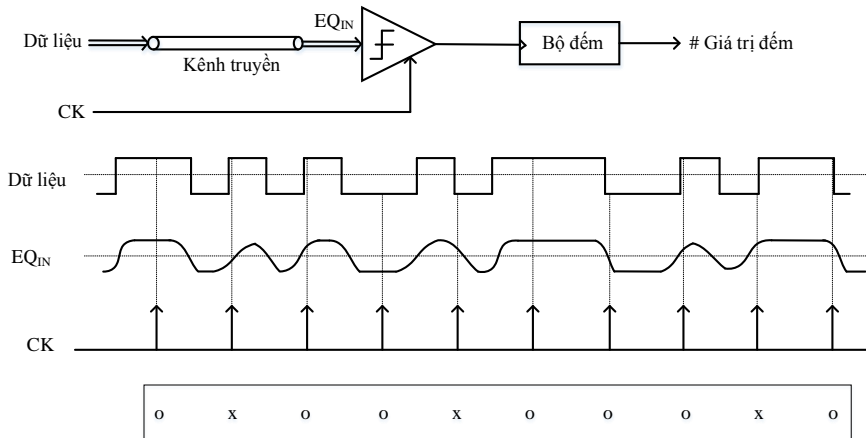
Hình 1. Kiến trúc của mạch san bằng thích nghi đề xuất.

3. THIẾT KẾ MẠCH

3.1. Nguyên lý san bằng thích nghi

Nguyên lý san bằng thích nghi được thể hiện như trên hình 2. Trong đó, mạch lấy mẫu dữ liệu sử dụng Flip-Flop kiểu D (D-FF) dựa trên kiến trúc TSPC [12]. Dữ liệu nối tiếp tốc độ cao sau khi qua kênh truyền (EQ_{IN}) được lấy mẫu bằng xung đồng hồ bán tốc (CK). Bởi vì dữ liệu bị ảnh hưởng ISI nên xung đồng hồ sẽ lấy mẫu dữ liệu tại các giá trị logic đúng và sai (dấu ‘o’ và dấu ‘x’ tương ứng trên hình 2). Số lượng của giá trị logic sai tỷ lệ với ảnh hưởng của ISI. Nếu dữ liệu bị ảnh hưởng nặng bởi ISI thì các giá trị logic sai sẽ xuất hiện nhiều và nếu dữ liệu bị ảnh hưởng ít bởi ISI thì các giá trị logic sai sẽ xuất hiện ít khi thực hiện lấy mẫu dữ liệu. Như vậy, việc lấy mẫu dữ liệu sẽ đánh giá được mức độ tác động của ISI tới dữ liệu nối tiếp tốc độ cao. Dựa trên

nguyên lý này, bộ đếm 8-bit được sử dụng để đếm số sườn của dữ liệu sau khi lấy mẫu cho xử lý san bằng thích nghi.



Hình 2. Nguyên lý san bằng thích nghi.

Quá trình san bằng thích nghi được thực hiện như sau:

Bước 1: Hệ số khuếch đại của CTLE được thiết lập lớn nhất ($C[3:0] = 1111$) để cực tiểu ảnh hưởng của ISI tới dữ liệu thu. Khi đó các giá trị logic sai sau lấy mẫu là nhỏ nhất và giá trị đầu ra bộ đếm là lớn nhất. Giá trị đầu ra bộ đếm được lưu bằng mạch chốt như N_{dmax} ($D[7:1]$).

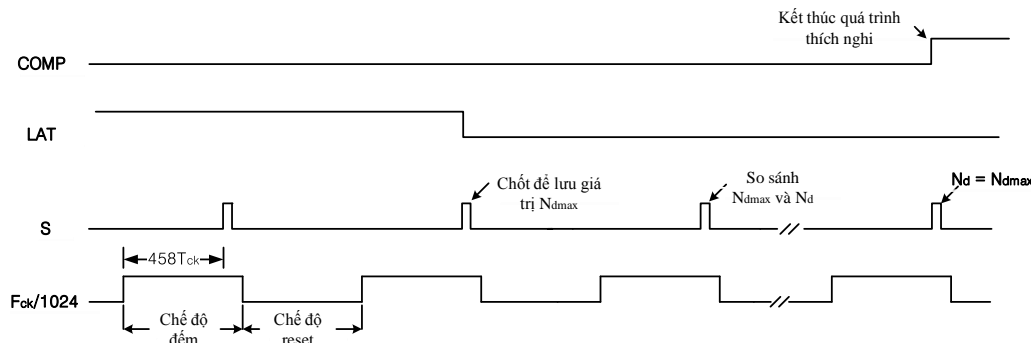
Bước 2: Thiết lập hệ số khuếch đại của CTLE đến nhỏ nhất ($C[3:0] = 0000$) để cực đại ảnh hưởng của ISI tới dữ liệu thu. Khi đó, giá trị đầu ra bộ đếm N_d ($B[7:1]$) sẽ được so sánh với N_{dmax} để điều chỉnh hệ số khuếch đại của CTLE. Khi $N_d < N_{dmax}$ thì các bit điều khiển số $C[3:0]$ được tăng lên 1 đơn vị bằng mạch logic thích nghi.

Bước 3: Khi $N_d = N_{dmax}$, tức là, các giá trị logic sai sau lấy mẫu đã được giảm thiểu thì mạch logic thích nghi sẽ lưu giá trị của các bit điều khiển số $C[3:0]$ và quá trình san bằng thích nghi kết thúc. Ảnh hưởng của ISI tới dữ liệu nối tiếp tốc độ cao được cực tiểu. Đồng thời, các mạch đếm được tắt để tiết kiệm công suất cho mạch san bằng.

Hệ số khuếch đại của mạch san bằng không được thiết lập cố định bằng giá trị lớn nhất trong suốt quá trình hoạt động của mạch vì khi đó có thể xảy ra hiện tượng quá san bằng. Điều này sẽ dẫn đến giảm độ mở của mắt mất dữ liệu. Ngoài ra, khi mạch san bằng luôn làm việc ở hệ số khuếch đại cực đại thì sẽ làm tăng công suất tiêu thụ của mạch.

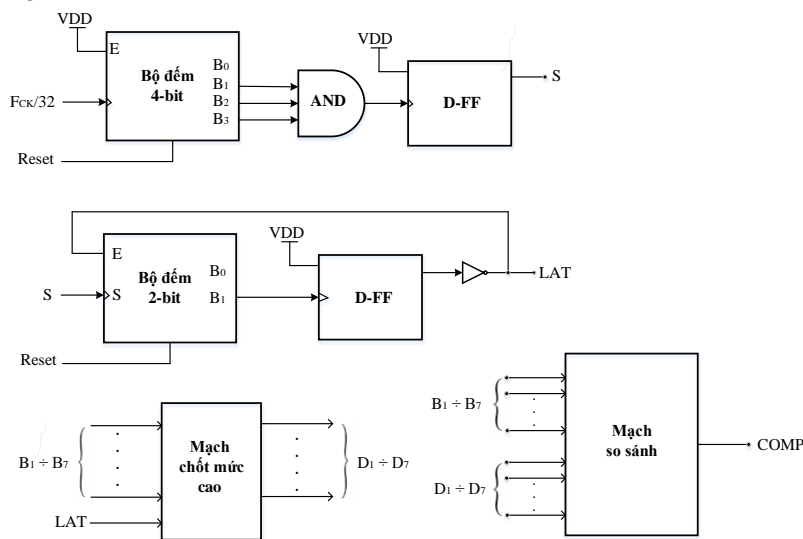
3.2. Mạch chốt và mạch so sánh

Hình 3 và hình 4 lần lượt thể hiện sơ đồ định thời và sơ đồ khối thực hiện của mạch chốt và mạch so sánh.



Hình 3. Sơ đồ định thời của mạch chốt và mạch so sánh.

Một cửa sổ thời gian bằng $512 T_{CK}$ được tạo ra từ mạch chia tần số cho chế độ đếm của quá trình xử lý thích nghi. Mạch làm việc ở chế độ reset tương ứng với mức logic thấp của xung đồng hồ $f_{CK}/1024$. Để thực hiện lưu giá trị từ đầu ra của bộ đếm 8-bit thì mạch chốt mức cao, xung đồng hồ $f_{CK}/32$, bộ đếm 4-bit, bộ đếm 2-bit, hai D-FF và cổng logic AND, cổng logic NOT được sử dụng. Tín hiệu S được tạo ra trong chế độ đếm sau mỗi $458 T_{CK}$. Tại thời điểm bắt đầu quá trình thích nghi, tín hiệu LAT được thiết lập ở mức cao để mạch chốt làm việc, lưu giá trị từ đầu ra của bộ đếm 8-bit ($B[7:1]$ khi $C[3:0] = 1111$) như N_{dmax} ($D[7:1]$). Để loại bỏ sự không ổn định của mạch khi mới làm việc, giá trị N_{dmax} sẽ được lưu trong lần xuất hiện thứ hai thay vì trong lần xuất hiện đầu tiên của tín hiệu S . Sau đó, tín hiệu LAT được reset để mạch thích nghi chuyển sang giai đoạn so sánh. Giá trị N_d và N_{dmax} được so sánh tại các thời điểm xuất hiện tín hiệu S tiếp theo. Khi $N_d = N_{dmax}$ thì mạch so sánh sẽ tạo ra tín hiệu $COMP$ để kết thúc quá trình san bằng thích nghi.



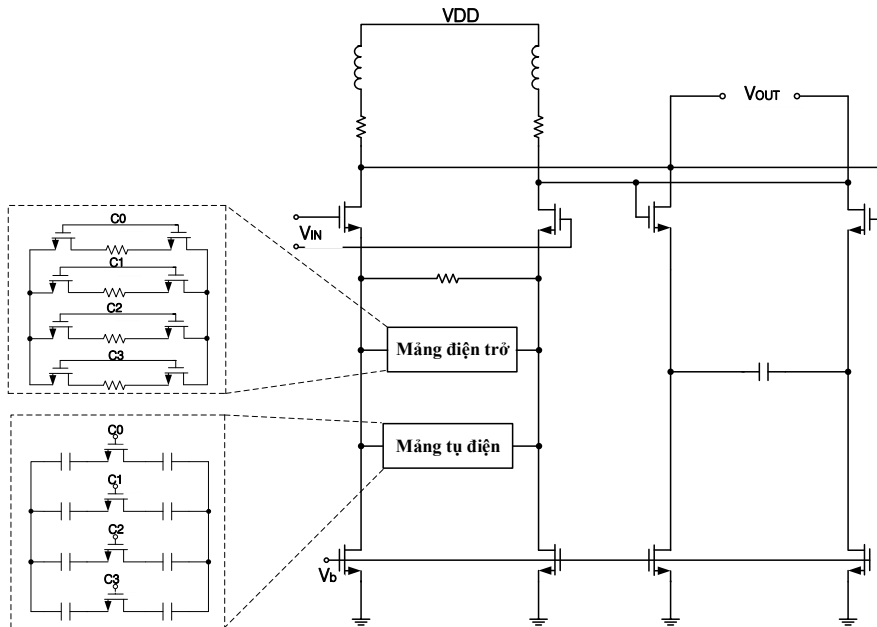
Hình 4. Sơ đồ khối thực hiện mạch chốt và mạch so sánh.

3.3. Mạch CTLE

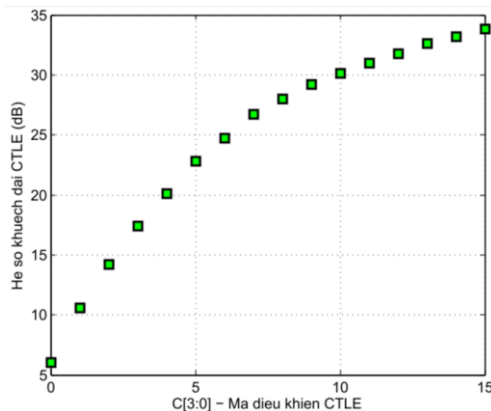
Trong các máy thu dữ liệu nối tiếp tốc độ cao thì hai kiến trúc mạch san bằng thường được sử dụng là mạch san bằng trên miền thời gian rời rạc và mạch san bằng trên miền thời gian liên tục. Trong đó, mạch san bằng trên miền thời gian rời rạc yêu cầu lấy mẫu trước để thực hiện san bằng và loại bỏ ISI mà không cần khuếch đại thành phần tín hiệu tần số cao. Tuy nhiên, khi đó jitter của xung đồng hồ khôi phục trong máy thu có thể ảnh hưởng tới chất lượng san bằng. Vì vậy, để cực tiểu ảnh hưởng của xung đồng hồ khôi phục trong máy thu tới chất lượng san bằng, trong bài báo này chúng tôi sử dụng mạch san bằng trên miền thời gian liên tục để cung cấp khả năng khuếch đại thành phần tần số cao cho việc loại bỏ ISI. Mạch nguyên lý CTLE được thể hiện như trên hình 5. Kiến trúc mạch CTLE thông thường có sự trả giá giữa hệ số khuếch đại một chiều và hệ số khuếch đại cực đại đạt được tại tần số cao. Vì thế, khi nối tầng CTLE, tích băng thông-hệ số khuếch đại tần số cao (high gain-bandwidth product (GBW)) không được cải thiện. Vì vậy, mạch CTLE được đề xuất sử dụng kiến trúc mạch điện dung âm để cải thiện hệ số khuếch đại tần số cao trong khi vẫn đảm bảo hệ số khuếch đại một chiều [5]. Thêm vào đó, kỹ thuật mắc nối tiếp tải điện trở với cuộn cảm để cải thiện băng thông tần số cao của mạch CTLE [13] cũng được sử dụng trong thiết kế này.

CTLE ba tầng được thực hiện trong thiết kế này để đảm bảo một khoảng điều chỉnh rộng cho hệ số khuếch đại tần số cao của mạch san bằng và có mức bù đủ cho tổn hao gây ra do kênh truyền tại tốc độ dữ liệu 5 Gb/s. Hệ số khuếch đại của mạch CTLE theo mã điều khiển số $C[3:0]$

được thể hiện như trên hình 6. Mạch CTLE đạt được khoảng bù 27.8 dB cho tổn hao của dữ liệu nối tiếp tốc độ cao.



Hình 5. Mạch nguyên lý một tầng của CTLE.

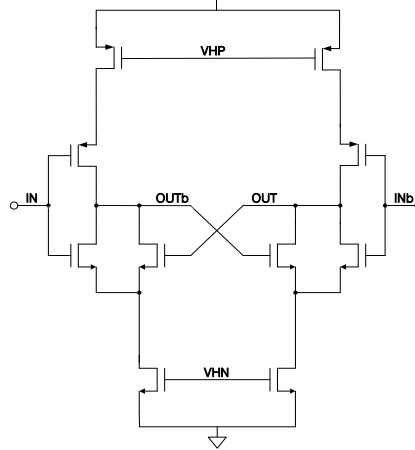


Hình 6. Hệ số khuếch đại của CTLE ba tầng theo mã điều khiển C[3:0].

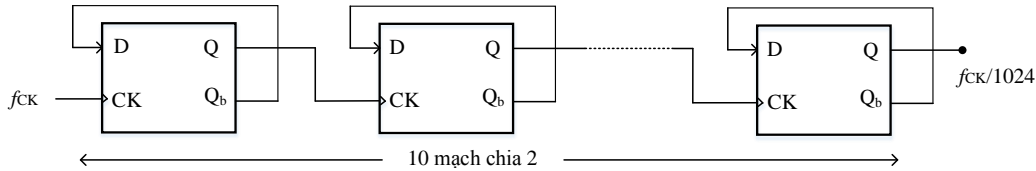
3.4. Mạch VCO và mạch chia tần số

Các nghiên cứu cho đến nay chỉ ra có hai loại VCO là VCO kiểu vòng và LC-VCO. Trong đó, VCO kiểu vòng có ưu điểm là diện tích chiếm nhỏ, khoảng điều chỉnh rộng và nhược điểm là tần số làm việc không quá cao và chất lượng jitter không cao. Ngược lại, LC-VCO có tần số dao động cao, chất lượng jitter tốt nhưng khoảng điều chỉnh hẹp và diện tích chiếm lớn vì bao gồm cuộn cảm trên CHIP. Trong khi đó, mạch EQ trong máy thu nối tiếp tốc độ cao thường được thiết kế cùng với mạch khôi phục dữ liệu và xung đồng hồ dải rộng. Vì vậy, để mạch EQ trong nghiên cứu này có thể được tích hợp cùng mạch khôi phục dữ liệu và xung đồng hồ dải rộng thì một VCO kiểu vòng, bốn tầng, bán tốc được sử dụng. Hình 7 thể hiện mạch nguyên lý một tầng của VCO trong công nghệ CMOS [14]. Trong đó, VHP và VHN là các điện áp điều khiển để thay đổi một khoảng rộng tần số của VCO và VHP là điện áp phân áp cho cực cổng của PMOS, được tạo ra qua phép biến đổi gương dòng từ VHN. Mạch VCO tạo ra xung đồng hồ bán tốc 2.5 GHz để lấy mẫu dữ liệu và tạo ra các xung đồng hồ con $f_{CK}/32$ và $f_{CK}/1024$. Các xung đồng hồ này

được tạo ra từ mạch chia tần số với 10 mạch chia 2 mắc nối tiếp như thể hiện trên hình 8. Trong đó, mạch chia 2 được thực hiện bằng D-FF [12].



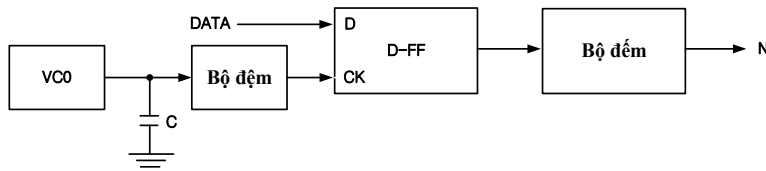
Hình 7. Mạch nguyên lý một tầng của VCO.



Hình 8. Mạch chia tần số.

4. KHẢO SÁT ẢNH HƯỞNG CỦA ĐỘ ĐỐC SƯỜN XUNG ĐỒNG HỒ TỚI CHẤT LƯỢNG MẠCH SAN BẰNG

Mạch san bằng thích nghi đề xuất đếm số sườn tăng của dữ liệu đã được lấy mẫu để quyết định mức bù cho tổn hao của dữ liệu. Vì vậy, chất lượng của xung đồng hồ lấy mẫu dữ liệu có thể ảnh hưởng tới hiệu quả của mạch san bằng. Trong phần này, bài báo sẽ thực hiện khảo sát ảnh hưởng của độ dốc sườn xung đồng hồ tới chất lượng mạch san bằng. Với độ dốc sườn xung đồng hồ được định nghĩa là khoảng thời gian từ thời điểm bắt đầu xuất hiện sườn xung tới khi xung đạt mức biên độ cực đại. Một tụ ký sinh (C) được đưa đến đầu ra của mạch VCO, tụ này luôn tồn tại trong chế tạo CMOS VCO. Tụ ký sinh này sẽ làm cho độ dốc của sườn xung đồng hồ thay đổi. Hình 9 là mô hình thiết kế và mô phỏng trên Cadence để đánh giá ảnh hưởng của tụ ký sinh này tới chất lượng của quá trình lấy mẫu dữ liệu và đếm trong ba trường hợp. Khi mạch là lý tưởng (không có tụ ký sinh C) và không có bộ đệm thì giá trị đầu ra bộ đếm là $N1$, khi mạch có tụ ký sinh C và không có bộ đệm thì giá trị đầu ra bộ đếm là $N2$ và trường hợp cuối cùng khi có tụ ký sinh C và có bộ đệm thì giá trị đếm được là $N3$.



Hình 9. Mô hình mô phỏng đánh giá ảnh hưởng của độ dốc xung đồng hồ tới chất lượng san bằng.

Bảng 1 thể hiện kết quả mô phỏng với mối quan hệ của giá trị đếm $N1$, $N2$, $N3$ và độ dốc của sườn xung đồng hồ với các giá trị tụ ký sinh khác nhau khi tần số VCO là 2.5 GHz và tốc độ dữ liệu là 5 Gb/s. Kết quả mô phỏng thể hiện rằng độ dốc của sườn xung tăng lên khi giá trị của tụ

ký sinh tại đầu ra VCO tăng lên. Sự thay đổi của độ dốc sườn xung đồng hồ làm cho kết quả đếm số sườn tăng của dữ liệu đã lấy mẫu bị thay đổi. Sự thay đổi này càng lớn khi giá trị tụ ký sinh tăng lên. Thành ra, chất lượng của xử lý san bằng bị ảnh hưởng. Trong khi đó, với một bộ đệm ở đầu ra VCO được sử dụng thì giá trị đếm (N3) luôn ổn định với N1 dù giá trị tụ ký sinh thay đổi. Điều này có nghĩa là, sự ảnh hưởng của độ dốc sườn xung đồng hồ tới chất lượng mạch san bằng sẽ được bù nếu chúng ta thêm một bộ đệm tại đầu ra VCO.

Bảng 1. Kết quả khảo sát ảnh hưởng của độ dốc sườn xung đồng hồ.

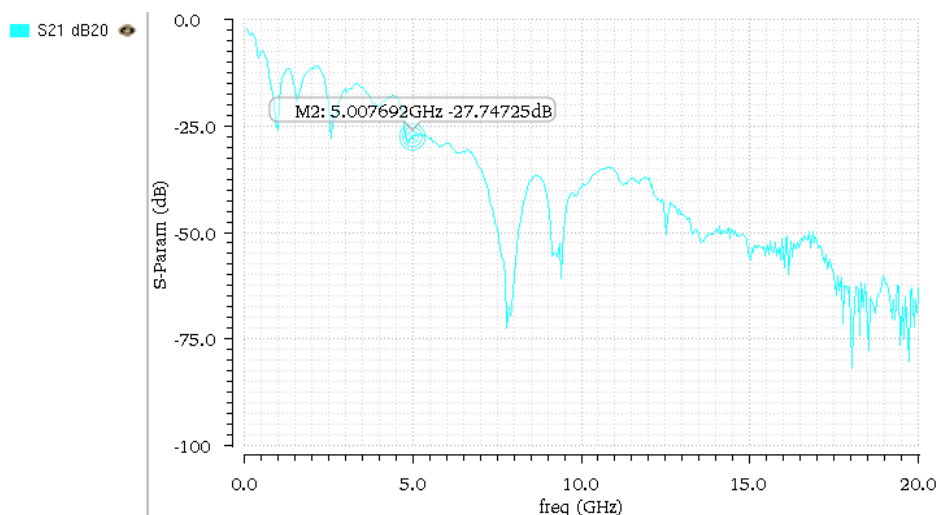
	C = 0	C = 20 fF	C = 40 fF	C = 70 fF	C = 150 fF
Độ dốc sườn xung đồng hồ (ps)	33	64	93	140	190
N2	N1	N1-1	N1-2	N1-3	N1-5
N3	N1+1	N1+1	N1+1	N1	N1

5. KẾT QUẢ MÔ PHỎNG

Mạch san bằng thích nghi đề xuất được thiết kế trên công nghệ CMOS 180 nm. Công suất tiêu thụ của các thành phần trong mạch được thể hiện trên bảng 2. Mạch tiêu thụ 7.8 mA và 14.04 mW công suất với nguồn cấp 1.8 V.

Bảng 2. Công suất tiêu thụ của mạch san bằng thích nghi.

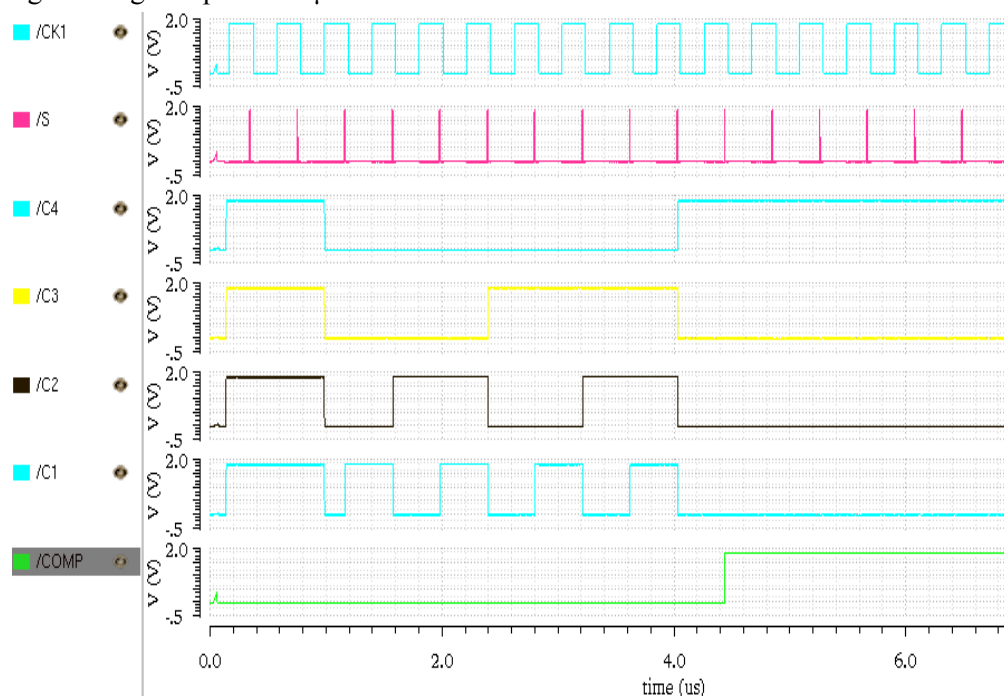
	Dòng tiêu thụ (mA)	Công suất tiêu thụ (mW)
CTLE	1.5	2.7
Mạch lấy mẫu + Bộ đếm	0.56	1
VCO + Bộ đệm	0.67	1.2
Mạch chốt	1.44	2.6
Mạch so sánh	0.89	1.6
Mạch chia tần	0.4	0.72
Mạch logic thích nghi	2.34	4.2
Mạch san bằng thích nghi	7.8	14.04



Hình 10. Mô hình tổn hao của kênh truyền.

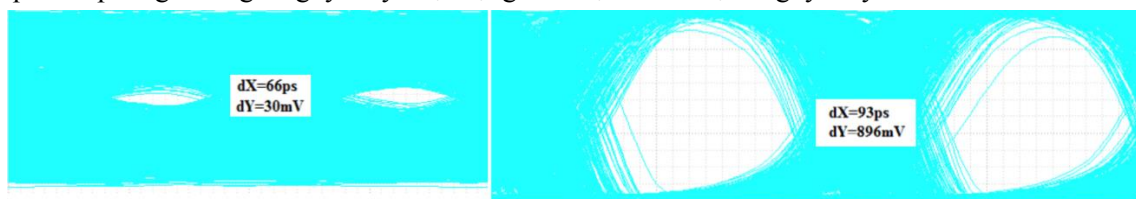
Một mô hình kênh có tổn hao được sử dụng để đánh giá hiệu quả của mạch san bằng thích nghi đề xuất được thể hiện trên hình 10. Kênh có tổn hao 27.7 dB tại 5 Gb/s. Hình 11 thể hiện kết quả mô phỏng nguyên lý hoạt động của mạch san bằng thích nghi. Tại thời điểm ban đầu, các bit điều khiển số C[3:0] được thiết lập bằng 1111 để cực đại hệ số khuếch đại CTLE. Xung đồng hồ

hồ CK1 ($f_{CK}/1024$) tạo ra chế độ đếm nửa chu kỳ dương và chế độ reset trong nửa chu kỳ âm cho quá trình san bằng. Tín hiệu S xuất hiện tại các thời điểm $458 T_{CK}$ trong chế độ đếm. Sau lần xuất hiện thứ hai của tín hiệu S , giá trị của bộ đếm được lưu, đồng thời, các bit điều khiển số được thiết lập về 0000 để cực tiểu hệ số khuếch đại CTLE. Sau đó, $C[3:0]$ được tăng theo kết quả so sánh giữa giá trị bộ đếm đã được lưu và giá trị bộ đếm tương ứng với các bit điều khiển số. Quá trình san bằng thích nghi kết thúc khi tín hiệu $COMP$ từ đầu ra mạch so sánh xuất hiện. Lúc này $C[3:0]$ được lưu như 1000 và hệ số khuếch đại của CTLE đạt được 26.7 dB. Thời gian xử lý san bằng thích nghi xấp xỉ $4.42 \mu s$.



Hình 11. Quá trình xử lý san bằng thích nghi.

Hình 12 thể hiện mẫu mắt của dữ liệu trước và sau san bằng. Mẫu mắt của dữ liệu 5 Gb/s gần như đóng sau khi qua kênh có tổn hao (độ mở theo chiều ngang và chiều dọc lần lượt là 66 ps và 30 mV). Mẫu mắt được mở theo cả chiều dọc và chiều ngang sau khi san bằng với độ mở theo chiều ngang là 93 ps và theo chiều dọc là 896 mV. Như vậy, có thể thấy rằng, mạch san bằng thích nghi đề xuất làm việc hiệu quả để bù cho tổn hao của kênh truyền tại tốc độ dữ liệu 5 Gb/s. Bảng 3 thể hiện kết quả so sánh chất lượng của mạch EQ đề xuất với các nghiên cứu trước. Mạch EQ đề xuất có thời gian thích nghi ngắn hơn so với [9, 10] và có dòng tiêu thụ ít nhất. Hơn nữa, mạch EQ đề xuất không sử dụng tần số xung đồng hồ bên ngoài CHIP mà sử dụng một xung đồng hồ bán tốc trong CHIP. Điều này sẽ tăng khả năng tích hợp trên CHIP cho mạch EQ đề xuất và thích hợp để tích hợp với mạch khôi phục dữ liệu và xung đồng hồ trong máy thu dữ liệu nổi tiếp tốc độ cao. Hạn chế của công việc này là chưa có kết quả đo kiểm trên CHIP chế tạo mà mới dừng lại ở kết quả mô phỏng đánh giá nguyên lý hoạt động của mạch trên mạch nguyên lý.



Hình 12. Mẫu mắt của dữ liệu trước và sau san bằng.

Bảng 3. So sánh chất lượng của mạch EQ đề xuất.

	[9]	[10]	[11]	Đề xuất (Mô phỏng)
Công nghệ (nm)	130 CMOS	40 CMOS	28 CMOS	180 CMOS
Nguồn (V)	1.2	1.1	0.9	1.8
Tốc độ dữ liệu (Gb/s)	5.4	5	15	5
Kiến trúc san bằng	CTLE	CTLE	CTLE + DFE	CTLE
Thời gian thích nghi	18.37 ms	6 μ s	N/A	4.42 μ s
Sử dụng xung đồng hồ tham chiếu bên ngoài	Không	Có	Có	Không
Dòng (mA)/Công suất tiêu thụ (mW)	29.1/35	10.4/11.5	16.5/14.85	7.8/14.04

6. KẾT LUẬN

Bài báo này đã trình bày về mạch san bằng thích nghi 5 Gb/s cho máy thu dữ liệu nối tiếp tốc độ cao trên công nghệ CMOS 180 nm. Mạch san bằng dựa trên bộ đếm để đếm số sườn tăng của dữ liệu đã được lấy mẫu được đề xuất. Cùng với đó, chi tiết thiết kế các mạch thành phần trong mạch thích nghi và đánh giá ảnh hưởng của độ dốc sườn xung đồng hồ tới chất lượng san bằng cũng đã được giới thiệu. Phương thức đề xuất có thời gian thích nghi ngắn và dòng tiêu thụ thấp khi so sánh với các mạch san bằng thích nghi dựa trên bộ đếm khác. Hướng phát triển tiếp theo của nghiên cứu này là thiết kế tích hợp mạch san bằng thích nghi và mạch khôi phục dữ liệu và xung đồng hồ. Đồng thời sử dụng thư viện công nghệ thiết kế mới hơn như 65 nm, 28 nm để đạt được tốc độ dữ liệu cao hơn.

TÀI LIỆU THAM KHẢO

- [1]. Lee, Jri (2006), "A 20-Gb/s Adaptive Equalizer in 0.13- μ m CMOS Technology", IEEE Journal of Solid-State Circuits. 41(9), pp. 2058-2066.
- [2]. Cheng, Kuo-Hsing, et al. (2010), "A 5-Gb/s inductorless CMOS adaptive equalizer for PCI express generation II applications", IEEE Transactions on Circuits and Systems II: Express Briefs. 57(5), pp. 324-328.
- [3]. Kim, Yong-Hun, et al. (2015), "A 21-Gbit/s 1.63-pJ/bit adaptive CTLE and one-tap DFE with single loop spectrum balancing method", IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 24(2), pp. 789-793.
- [4]. Nakhkoob, Behrooz and Hella, Mona Mostafa (2016), "A 4.7-Gb/s Reconfigurable CMOS Imaging Optical Receiver Utilizing Adaptive Spectrum Balancing Equalizer", IEEE Transactions on Circuits and Systems I: Regular Papers. 64(1), pp. 182-194.
- [5]. Lee, Dongmyung, et al. (2010), "An 8.5-Gb/s fully integrated CMOS optoelectronic receiver using slope-detection adaptive equalizer", IEEE Journal of Solid-State Circuits. 45(12), pp. 2861-2873.
- [6]. Seong, Chang-Kyung, Rhim, Jinsoo, and Choi, Woo-Young (2012), "A 10-Gb/s adaptive look-ahead decision feedback equalizer with an eye-opening monitor", IEEE Transactions on Circuits and Systems II: Express Briefs. 59(4), pp. 209-213.
- [7]. Son, Seuk, et al. (2013), "A 2.3-mW, 5-Gb/s low-power decision-feedback equalizer receiver front-end and its two-step, minimum bit-error-rate adaptation algorithm", IEEE Journal of Solid-State Circuits. 48(11), pp. 2693-2704.
- [8]. Won, Hyosup, et al. (2016), "A 28-Gb/s receiver with self-contained adaptive equalization and sampling point control using stochastic sigma-tracking eye-opening monitor", IEEE Transactions on Circuits and Systems I: Regular Papers. 64(3), pp. 664-674.
- [9]. Kim, Wang Soo, Seong, Chang Kyung, and Choi, Woo Young (2011), "A 5.4 Gb/s adaptive equalizer using asynchronous-sampling histograms", 2011 IEEE International Solid-State Circuits Conference, ISSCC 2011, pp. 358-359.

- [10]. Lin, Yuan-Fu, et al. (2014), "A 5–20 Gb/s power scalable adaptive linear equalizer using edge counting", 2014 IEEE Asian Solid-State Circuits Conference (A-SSCC), IEEE, pp. 273-276.
- [11]. Choi, Yoonjae, et al. (2021), "A 0.99-pJ/b 15-Gb/s Counter-Based Adaptive Equalizer Using Single Comparator in 28-nm CMOS".
- [12]. B. Razavi, "TSPC Logic," IEEE Solid-State Circuits Magazine, 2016.
- [13]. M. Green, "Shunt-Peaking," EECE 270C, Winter 2013.
- [14]. N. H. Thọ, et al., "Thiết kế mạch khôi phục dữ liệu và xung đồng hồ dài rộng, không sử dụng tần số tham chiếu, tốc độ dữ liệu liên tục sử dụng công nghệ CMOS 180 nm," Tạp chí Nghiên cứu khoa học và công nghệ quân sự, Số 63, 2019.

ABSTRACT

A 5-Gb/s counter-based adaptive equalizer in 180-nm CMOS

This paper presents a counter-based adaptive equalizer without using analog circuits to minimize the influence of process, temperature, and power supply variation on equalization performance. A counter-based adaptive loop is proposed for the equalizer to achieve a short adaptation time and low power consumption. The edges of the sampled data are counted to compensate for the loss of the high-speed serial channel. The adaptive equalizer is designed on 180-nm CMOS technology. In the simulation, the equalizer has a compensation range of 27.8-dB at a data rate of 5-Gb/s, obtains an adaptation time of 4.42-us, and power consumption of 14.04-mW from a single 1.8-V supply.

Keywords: Adaptive Equalizer (EQ); Continuous-time linear EQ; Counter-based EQ; CMOS EQ; High-speed serial communication.