

Bộ trộn tần tuyến tính cao, băng thông rộng cho máy thu đổi tần trực tiếp trên công nghệ CMOS

Nguyễn Thị Thảo*

Viện Khoa học và Công nghệ quân sự.

*Email: nthaovdt@gmail.com

Nhận bài: 10/05/2022; Hoàn thiện: 21/6/2022; Chấp nhận đăng: 28/6/2022; Xuất bản: 26/8/2022.

DOI: <https://doi.org/10.54939/1859-1043.j.mst.81.2022.44-52>

TÓM TẮT

Bài báo này trình bày về bộ trộn tần xuống trong các máy thu đổi tần trực tiếp cho các hệ thống thông tin thế hệ mới như LTE và 5G có dải tần dưới 6 GHz. Một bộ trộn tần thụ động cân bằng kép được điều khiển bằng dòng điện kết hợp với tín hiệu dao động nội (LO) có độ đầy xung (duty-cycle) 25% được sử dụng để giảm tạp âm và cải thiện độ lợi chuyển đổi điện áp. Mạch khuếch đại chuyển đổi dòng điện thành điện áp (TIA) với kiến trúc dựa trên mạch đảo sử dụng lại dòng, tự phân áp được đề xuất để bộ trộn tần đạt được đồng thời độ tuyến tính cao và băng thông rộng. Bộ trộn tần được thiết kế trên công nghệ CMOS 28 nm. Kết quả mô phỏng sau layout cho thấy bộ trộn tần có khoảng thay đổi độ lợi chuyển đổi điện áp 0.45 dB mỗi 100 MHz trong băng thông băng gốc 580 MHz, hệ số tạp âm (NF) 9.2 dB, điểm chặn bậc hai đầu vào (IIP2) và điểm chặn bậc ba đầu vào (IIP3) lần lượt là 23.6 dBm và 61.5 dBm. Mạch tiêu thụ 40.1 mW công suất với điện áp nguồn cung cấp 0.9 V và có diện tích chiếm là 0.023 mm².

Từ khóa: Máy thu đổi tần trực tiếp; Bộ trộn tần thụ động; Khuếch đại chuyển đổi dòng điện thành điện áp; Độ tuyến tính cao; Băng thông băng gốc rộng.

1. ĐẶT VẤN ĐỀ

Trong những năm gần đây, cấu trúc đổi tần trực tiếp (Direct-Conversion Receiver: DCR) đã trở thành xu thế trong thiết kế các máy thu (Receiver: RX) thế hệ mới như hệ thống thông tin di động tiến hóa dài hạn (Long-Term Evolution: LTE), hệ thống thông tin di động thế hệ thứ 5 (Fifth-Generation: 5G). Điều này là bởi DCR có cấu trúc đơn giản, không tồn tại thành phần nhiễu ảnh và có khả năng tích hợp cao trong công nghệ CMOS. Trong hệ thống ghép kênh phân chia theo tần số của LTE và các chuẩn truy nhập vô tuyến mới trong 5G [1] thì các nhiễu mạnh (blocker) được tạo ra từ sự rò rỉ của máy phát làm suy giảm tỉ số tín trên tạp của RX. Ngoài ra, thành phần xuyên điều chế bậc chẵn và bậc lẻ giữa bản thân các nhiễu mạnh của máy phát (Transmitter: TX) hoặc giữa một nhiễu mạnh của TX và một nhiễu mạnh khác từ hệ thống thông tin khác có thể tạo ra các méo xuyên điều chế không mong muốn trong dải tần của tín hiệu thu. Điều này làm giảm chất lượng của toàn bộ chuỗi RX. Do đó, DCR tuyến tính cao được mong chờ trong các hệ thống thông tin thế hệ mới. Xu thế hiện nay là nhu cầu tốc độ dữ liệu ngày càng tăng trong các ứng dụng tin di động. Giải pháp hiệu quả cho vấn đề này là tăng băng thông của kênh như đã được thực hiện trong các hệ thống thông tin di động tế bào. Trong đó, băng thông của kênh được tăng từ 200 kHz trong 2G lên 5 MHz trong 3G, 20 MHz trong LTE và hơn 100 MHz trong 5G với dải tần dưới 6 GHz [2]. Vì vậy, thách thức chính trong thiết kế DCR là khả năng làm việc với độ tuyến tính cao và khả năng cung cấp băng thông băng gốc (Baseband Bandwidth: BBBW) rộng.

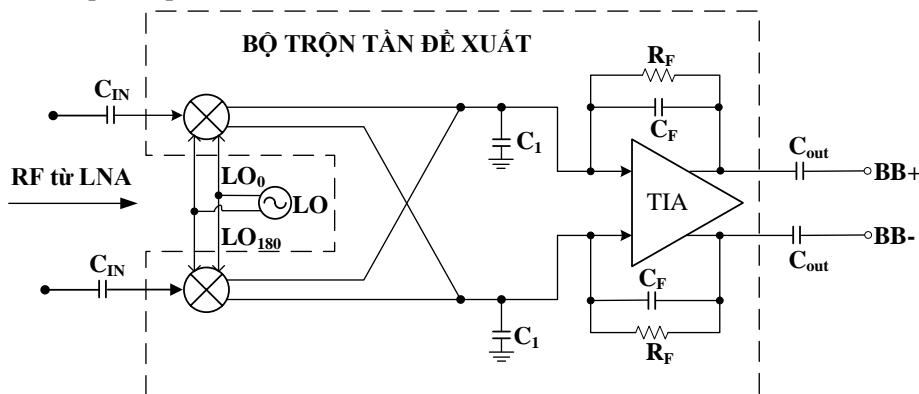
Trong DCR, bộ trộn tần xuống là thành phần chính, đóng vai trò quan trọng tới chất lượng của RX, thực hiện chuyển đổi tín hiệu tần số cao xuống tín hiệu băng gốc. Hai kiến trúc thực hiện trên công nghệ CMOS của bộ trộn tần là bộ trộn tần tích cực và bộ trộn tần thụ động [3]. Bộ trộn tần tích cực có cấu trúc đơn giản, đạt được độ lợi chuyển đổi điện áp cao và có công suất tiêu thụ thấp [4-6]. Tuy nhiên, các bộ trộn tần tích cực này có độ tuyến tính thấp (IIP3 nhỏ, -1.2 dBm trong [4], 1.4 dBm trong [5], -5.9 dBm trong [6]). Một cấu trúc cải tiến của bộ trộn tần tích

cực cân bằng kép được đề xuất trong [7] để cải thiện độ tuyến tính ($IIP3 = 7.6 \text{ dBm}$). Tuy nhiên, kiến trúc trộn tần này có băng thông băng gốc hẹp (10 MHz). Hơn nữa, kiến trúc này sử dụng các cuộn cảm nên làm tăng diện tích chiếm của chip. Để khắc phục hạn chế về độ tuyến tính của các bộ trộn tần tích cực thì các bộ trộn tần thụ động được sử dụng trong [8-10]. Các bộ trộn tần này sử dụng mạch chuyển đổi dòng điện thành điện áp (Transimpedance: TIA) bậc cao để đạt được $IIP3$ lớn hơn 20 dBm nhưng chúng có BBBW dưới 20 MHz. Nghiên cứu trong [11] đề xuất sử dụng kỹ thuật lọc cao tần đầu vào RX với bộ lọc có thể điều chỉnh để đạt được đồng thời độ tuyến tính cao và BBBW tương đối rộng (65 MHz). Tuy nhiên, kiến trúc RX sử dụng không phải DCR và BBBW chưa đáp ứng được với yêu cầu của các hệ thống thông tin tốc độ cao.

Trong bài báo này, bộ trộn tần thụ động cho máy thu DCR trong các hệ thống thông tin thế hệ mới được đề xuất để đạt được đồng thời độ tuyến tính cao và BBBW rộng. Độ tuyến tính và BBBW được nâng cao bằng cách sử dụng mạch TIA dựa trên mạch đảo sử dụng lại dòng và tự phân áp. Thêm vào đó, kiến trúc cân bằng kép kết hợp với tín hiệu dao động nội (Local Oscillator: LO) có độ dãn xung 25% cho bộ trộn tần được điều khiển bằng dòng điện được sử dụng để cải thiện độ lợi chuyển đổi điện áp và tạp âm của bộ trộn tần. Ngoài ra, chi tiết về thiết kế mạch TIA cũng được trình bày. Bài báo gồm có năm phần, phần tiếp theo sẽ trình bày về kiến trúc của bộ trộn tần đề xuất, thiết kế nguyên lý chi tiết của các mạch thành phần trong bộ trộn tần được trình bày trong phần 3, kết quả mô phỏng mạch được giới thiệu trong phần 4 và cuối cùng là kết luận.

2. KIẾN TRÚC BỘ TRỘN TẦN TRONG MÁY THU ĐỔI TẦN TRỰC TIẾP

Hình 1 thể hiện kiến trúc của bộ trộn tần thụ động trong máy thu DCR đề xuất. Bộ trộn tần bao gồm bộ trộn tần thụ động điều khiển dòng và TIA để chuyển đổi dòng điện thành điện áp và cung cấp nút trở kháng thấp tại đầu ra của cặp chuyển mạch (bộ trộn tần thụ động). Tín hiệu cao tần (RF) từ đầu ra của mạch khuếch đại tạp âm thấp (Low Noise Amplifier: LNA) được đưa vào trộn với tín hiệu LO có độ dãn xung 25% và độ lệch pha 0° và 180° . Tín hiệu đầu ra bộ trộn tần được đưa đến mạch TIA để chuyển đổi dòng điện thành điện áp cho băng gốc (Baseband: BB). Như đã đề cập ở trên, nhiễu mạnh xuất hiện tại đầu vào RX khi lọt vào RX sẽ được khuếch đại và có thể gây méo tín hiệu nghiêm trọng. Vì vậy, bên cạnh việc thiết kế bộ trộn tần thụ động điều khiển dòng và TIA có độ tuyến tính cao thì trong kiến trúc này, tụ C_1 và C_F được sử dụng để lọc các thành phần nhiễu mạnh [12]. Bên cạnh đó, tụ C_F thêm một điểm không trong đường phản hồi để cải thiện độ ổn định của TIA. Các tụ đầu vào (C_{IN}) và đầu ra (C_{OUT}) được sử dụng để ngăn thành phần điện áp một chiều cho đầu vào và đầu ra, tránh gây ra thay đổi điểm làm việc của bộ trộn tần thụ động và mạch băng gốc. Ngoài ra, tụ C_{IN} còn có vai trò phối hợp trở kháng giữa tầng LNA và bộ trộn tần. Điện trở hồi tiếp R_F ngoài chức năng chuyển đổi dòng điện thành điện áp thì còn đóng vai trò phân áp cho mạch TIA.



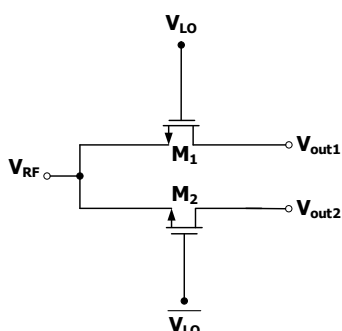
Hình 1. Kiến trúc của bộ trộn tần đề xuất trong các máy thu DCR thế hệ mới.

3. THIẾT KẾ MẠCH

3.1. Bộ trộn tần cân bằng kép điều khiển bằng dòng điện

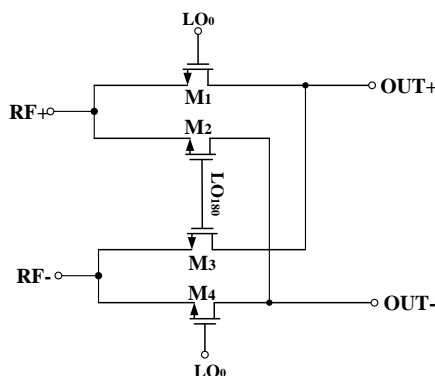
Các bộ trộn tần có thể được chia thành bộ trộn tần thụ động và bộ trộn tần tích cực. Bộ trộn tần thụ động là các bộ trộn tần được điều khiển bằng dòng điện với đầu vào bộ trộn tần là điện áp và đầu ra là dòng điện. Khi đó, sau bộ trộn tần thụ động cần thêm mạch TIA để biến đổi dòng điện thành điện áp cho mạch băng gốc. Trong khi đó, bộ trộn tần tích cực là bộ trộn tần theo chế độ điện áp với đầu vào là điện áp và đầu ra cũng là điện áp. Bộ trộn tần thụ động cung cấp tạp âm flicker thấp hơn so với bộ trộn tần tích cực vì nó không tồn tại dòng một chiều trong cặp chuyển mạch và nó cũng có độ tuyến tính tốt hơn so với cấu trúc tích cực vì các nút tại đầu vào và đầu ra của mạch đều có trở kháng thấp nên chúng có sự thay đổi điện áp nhỏ [13]. Hơn nữa, bộ trộn tần thụ động không có cuộn cảm nên nó có diện tích chiếm nhỏ và dễ dàng để tích hợp trên chip. Các máy thu DCR tồn tại vấn đề về tạp âm flicker và các RX nhiều chuẩn thế hệ mới yêu cầu độ tuyến tính cao. Vì vậy, nghiên cứu này sử dụng bộ trộn tần thụ động được điều khiển bằng dòng điện để đạt được tạp âm flicker thấp và nâng cao độ tuyến tính của RX.

Kiến trúc đơn giản nhất để thực hiện bộ trộn tần thụ động là kiến trúc trộn tần cân bằng đơn như được thể hiện trên hình 2. Kiến trúc này sử dụng hai chuyển mạch (M_1, M_2) để trộn giữa tín hiệu RF và tín hiệu LO. Trong đó, các tín hiệu LO có cùng chu kỳ và biên độ nhưng ngược pha với nhau.



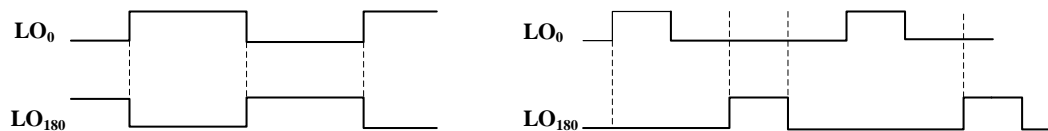
Hình 2. Kiến trúc thực hiện của bộ trộn tần thụ động cân bằng đơn.

Tuy nhiên, kiến trúc này bị ảnh hưởng đáng kể bởi sự rò rỉ của tín hiệu LO tới đầu ra. Cụ thể, nếu giả sử sự rò rỉ của V_{LO} tới V_{OUT1} và \bar{V}_{LO} tới V_{OUT2} lần lượt là αV_{LO} và $-\alpha V_{LO}$ thì tại tín hiệu đầu ra $V_{OUT1} - V_{OUT2}$ sẽ tồn tại thành phần rò rỉ tín hiệu $2\alpha V_{LO}$ [3]. Để khắc phục vấn đề này, hai bộ trộn tần cân bằng đơn được kết hợp với nhau để tạo thành bộ trộn tần cân bằng kép như trên hình 3.



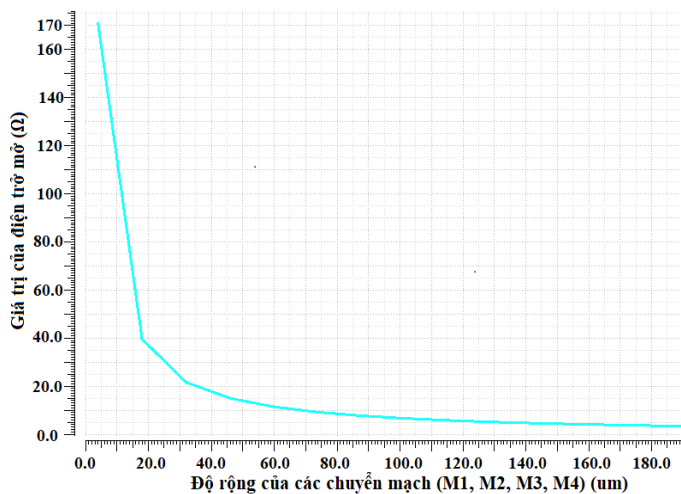
Hình 3. Kiến trúc thực hiện của bộ trộn tần thụ động cân bằng kép.

Các tín hiệu RF được điều khiển chuyển mạch bởi các tín hiệu LO. Có hai kiểu của tín hiệu LO được sử dụng để điều khiển chuyển mạch là tín hiệu LO với độ đầy xung 50% và LO với độ đầy xung 25% (hình 4(a) và 4(b) tương ứng). Trong đó, bộ trộn tần được điều khiển bởi tín hiệu LO có độ đầy xung 25% được sử dụng rộng rãi hơn bởi độ lợi chuyển đổi điện áp cao hơn 3 dB và chất lượng tuyến tính tốt hơn so với phiên bản độ đầy xung 50% [14, 15]. Vì vậy, nghiên cứu này đề xuất sử dụng bộ trộn tần thụ động được điều khiển bởi tín hiệu LO có độ đầy xung 25%.



Hình 4. Tín hiệu điều khiển chuyển mạch LO với: (a) có độ đầy xung 50%,
(b) có độ đầy xung 25%.

Nghiên cứu trong [15] đã chỉ ra rằng, chất lượng của bộ trộn tần thụ động tỷ lệ nghịch với điện trở mở của các chuyển mạch (M_1, M_2, M_3, M_4 trong hình 3). Do đó, để đảm bảo chất lượng của bộ trộn tần thì điện trở mở của các chuyển mạch phải được chọn đủ nhỏ. Đây là cơ sở để thiết kế bộ trộn tần. Hình 5 thể hiện mối quan hệ giữa giá trị điện trở mở và kích thước của các chuyển mạch. Điện trở mở của chuyển mạch giảm khi kích thước của chuyển mạch tăng lên và gần như đạt đến giá trị tới hạn tại 4 Ω khi kích thước của chuyển mạch lớn hơn 180 μm. Vì vậy, kích thước của chuyển mạch được thiết kế là 180 μm để cực tiểu điện trở mở, đảm bảo chất lượng cho bộ trộn tần.



Hình 5. Mối quan hệ giữa giá trị điện trở mở và kích thước của các chuyển mạch.

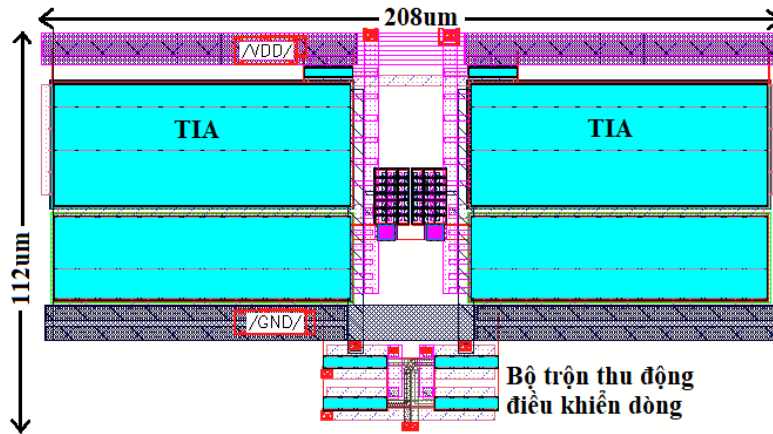
3.2. Mạch chuyển đổi dòng điện thành điện áp (TIA)

Mạch TIA có thể được thiết kế dựa trên mạch khuếch đại thuật toán (Operational Amplifier: OPAMP) hoặc mạch khuếch đại dẫn thuật toán (Operational Transconductance Amplifier: OTA). Trong đó, TIA dựa trên OPAMP có chất lượng tạp âm tốt hơn và TIA dựa trên OTA có độ tuyến tính cao hơn [16]. Do đó, trong kiến trúc đề xuất, TIA dựa trên OTA được thực hiện để đạt được độ tuyến tính cao. Nghiên cứu trong [17] đã chỉ ra rằng, RX đạt được BBBW rộng cần mạch TIA có băng thông 3 dB lớn. Một giải pháp hiệu quả để đạt được TIA dải rộng là sử dụng các mạch đảo CMOS với độ dẫn G_m lớn [18]. Tuy nhiên, kiến trúc TIA trong [18] không phải là kiến trúc vi sai hoàn toàn nên cần thêm các mạch hỗ trợ để giảm hệ số khuếch đại chế độ chung trong khi cực đại hệ số khuếch đại chế độ vi sai. Hơn nữa, kiến trúc này sử dụng bốn mạch đảo. Điều này làm tăng công suất tiêu thụ và tạp âm của mạch. Vì vậy, bài báo này đề xuất kiến trúc TIA với trở kháng đầu ra chế độ chung nhỏ và sử dụng chỉ hai mạch đảo cho chế độ vi sai hoàn toàn như được

Băng thông 3-dB của TIA đạt được là 890 MHz. Điều này sẽ đảm bảo cho BBW của bộ trộn tần lớn hơn 200 MHz.

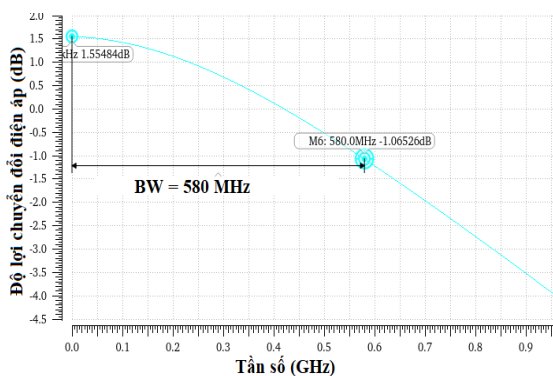
4. KẾT QUẢ MÔ PHỎNG

Bộ trộn tần đề xuất được thiết kế trên công nghệ CMOS 28 nm. Hình 8 thể hiện layout của bộ trộn tần với diện tích chiếm của mạch là 208 μm x 112 μm . Mạch tiêu thụ 40.1 mW công suất với nguồn cấp 0.9 V.

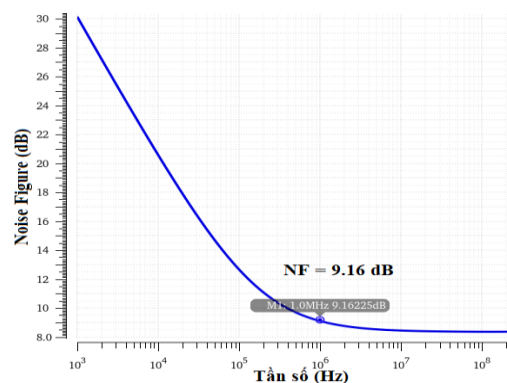


Hình 8. Layout của bộ trộn tần đề xuất.

Mô phỏng mạch được thực hiện trên phần mềm thiết kế chip chuyên dụng Cadence [19]. Để giảm thiểu sai số giữa kết quả mô phỏng và kết quả đo thì các tham số ký sinh R, C của mạch đã được thêm vào trong mô phỏng sau layout của bộ trộn tần. Kết quả mô phỏng sau layout của bộ trộn tần đề xuất được thể hiện trên hình 9, 10, 11 và 12. Hình 9 thể hiện độ lợi chuyển đổi điện áp theo tần số của BB. Độ lợi chuyển đổi điện áp trong băng thông 580 MHz của BB là từ -1.06 ÷ 1.55 dB với độ phẳng của độ lợi đạt được là xấp xỉ 0.45 dB mỗi 100 MHz. Kết quả này cho thấy kiến trúc bộ trộn tần đề xuất đạt được BBW rộng, phù hợp với yêu cầu về băng thông của các DCR trong hệ thống thông tin thế hệ mới như 5G. Kết quả mô phỏng NF theo tần số của BB được thể hiện trên hình 10. Có thể thấy rằng, bộ trộn tần đề xuất đạt được NF xấp xỉ 9.2 dB tại tần số 1 MHz và có tần số góc flicker xấp xỉ 200 kHz.



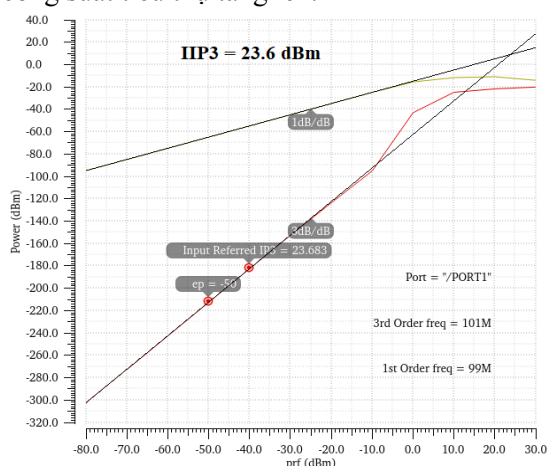
Hình 9. Kết quả mô phỏng sau layout của độ lợi chuyển đổi điện áp.



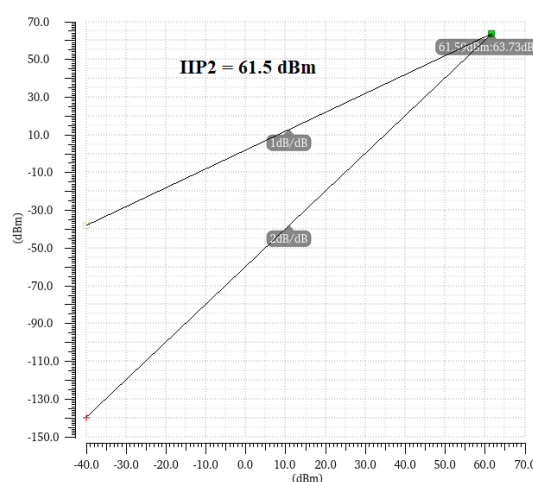
Hình 10. Kết quả mô phỏng sau layout của tạp âm.

Để mô phỏng IIP3 của bộ trộn tần đề xuất, hai tín hiệu RF được đưa đến cổng RF, một tại tần số 2.3 GHz và một tại tần số 2.301 GHz với công suất RF được thay đổi từ -80 dBm đến 30 dBm. Tần số của tín hiệu LO được đưa đến tại 2.4 GHz. Khi đó, các thành phần tuyến tính và

IM3 nhận được tại đầu ra lần lượt là 99 MHz và 101 MHz. Hình 11 thể hiện kết quả mô phỏng IIP3. Bộ trộn tần đề xuất đạt được độ tuyến tính cao với IIP3 là 23.6 dBm. Kết quả mô phỏng IIP2 được thể hiện trên hình 12. Bộ trộn tần đạt được IIP2 là 61.5 dBm. Kết quả mô phỏng cho IIP2 và IIP3 cho thấy, bộ trộn tần đề xuất đạt được độ tuyến tính cao với cả thành phần xuyên điều chế bậc 2 và xuyên điều chế bậc 3. Bộ trộn tần cũng đạt được độ cách ly cao giữa LO-RF, LO-IF, RF-LO, RF-IF, với giá trị nhỏ nhất là 62.8 dB. Bảng 2 tổng kết và so sánh chất lượng của bộ trộn tần đề xuất với các nghiên cứu trước. Bộ trộn tần đề xuất có BBBW rộng, độ tuyến tính cao với trả giá về công suất tiêu thụ. Công trình nghiên cứu [7] sử dụng bộ trộn tần tích cực nên có công suất tiêu thụ thấp, nhưng có BBBW hẹp, NF cao và IIP3 thấp. Bộ trộn tần đề xuất có công suất tiêu thụ cao hơn [11] là vì mục tiêu của thiết kế là đạt được IIP3 cao nên cần có G_m của mạch đảo trong mạch TIA lớn. Điều này dẫn đến kích thước của các MOS trong mạch lớn và công suất tiêu thụ tăng lên.



Hình 11. Kết quả mô phỏng sau layout của IIP3.



Hình 12. Kết quả mô phỏng sau layout của IIP2.

Bảng 2. So sánh chất lượng của bộ trộn tần đề xuất.

	[17] (Kết quả đo)	[7] (Kết quả đo)	[11] (Kết quả đo)	Đề xuất (Mô phỏng sau layout)
Công nghệ (nm)	40 CMOS	65 CMOS	65 CMOS	28 CMOS
Nguồn (V)	1.1	1	1.2	0.9
Kiến trúc	LNA + Bộ trộn tần thụ động	Bộ trộn tần tích cực	Bộ trộn tần thụ động	Bộ trộn tần thụ động
BBBW (MHz)	200	10	65	> 250
IIP3 (dBm)	16.7	7.6	20.3	23.6
NF (dB)	5.8	10.5	7.1	9.2
Công suất tiêu thụ (mW)	69.6	1.2	26	40.1
Diện tích (mm ²)	1.23	0.22	1.4	0.023

Bộ trộn tần đề xuất có NF lớn hơn so với các nghiên cứu [17] và [11] vì trong [17] kiến trúc được sử dụng là máy thu bao gồm LNA và bộ trộn tần nên NF của mạch phụ thuộc chủ yếu vào NF của LNA. Vì vậy, mạch đạt được NF thấp với một thiết kế có NF của mạch LNA thấp. Trong

nghiên cứu [11], kiến trúc sử dụng là máy thu với bộ trộn tần ở đầu vào mà không có mạch LNA nên NF trở thành tham số thiết kế quan trọng đối với bộ trộn tần để máy thu đạt được NF thấp. Do đó, NF cần phải được giảm thiểu trong thiết kế bộ trộn tần này. Trong khi đó, với bộ trộn tần đề xuất, mục tiêu thiết kế tập trung vào độ tuyến tính và băng thông băng gốc nên NF không phải là tham số thiết kế tối ưu. Ngoài ra, như đã được đề cập, bộ trộn tần đề xuất được thiết kế để kết hợp với một mạch LNA trong kiến trúc máy thu đối tần trực tiếp. Vì vậy, NF có thể được giảm nhẹ trong thiết kế bộ trộn tần mà máy thu vẫn có thể đạt được NF thấp bằng cách tối ưu NF của mạch LNA.

5. KẾT LUẬN

Bài báo này đã trình bày về bộ trộn tần thụ động điều khiển dòng cho các máy thu đối tần trực tiếp trên công nghệ CMOS 28 nm. Kiến trúc bộ trộn tần thụ động cân bằng kép được điều khiển bằng tín hiệu LO có độ đầy xung 25% kết hợp với mạch TIA dựa trên mạch đảo sử dụng lại dòng được đề xuất. Cùng với đó, phân tích chi tiết thiết kế các mạch thành phần trong bộ trộn tần cũng đã được giới thiệu. Kiến trúc đề xuất có băng thông băng gốc rộng nhất và độ tuyến tính cao nhất khi so sánh với một số kiến trúc bộ trộn tần khác. Hướng phát triển tiếp theo của nghiên cứu này là nghiên cứu, đề xuất kiến trúc thực hiện mạch TIA cải tiến để bộ trộn tần đạt được đồng thời độ tuyến tính cao, băng thông băng gốc rộng và công suất tiêu thụ thấp; Thiết kế hoàn chỉnh máy thu đối tần trực tiếp trên công nghệ CMOS với kiến trúc kết hợp mạch LNA và bộ trộn tần. Đồng thời chế tạo chip cho bộ trộn tần để đạt được các kết quả đo.

TÀI LIỆU THAM KHẢO

- [1]. 3GPP, 3rd-Generation Partnership Project; Technical Specification Group Radio Access Network; NR; User Equipment (UE) radio transmission and reception; Part1: Range 1 Standalone (Release 15), 3GPP TS 38.101 V15.6.0, June, (2019).
- [2]. Technical Specification: 5G NR User Equipment (UE) Radio Transmission and Reception; Part 1: Range 1 Standalone, Release 15, V. 15.2.0, document 3GPP TS 38.101-1, Jul., (2018).
- [3]. B. Razavi, RF Microelectronics, 2nd ed. Englewood Cliffs, NJ: Prentice-Hall, (2011).
- [4]. Y. Gao, F. Huang, L. Wu and J. Cheng, "A low-power reconfigurable mixer for MB-OFDM UWB receivers," in Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia), pp. 97-100, (2009).
- [5]. J. Gou, X.-Y. Xu and X.-G. Huang, "Design of a Low-Voltage CMOS Mixer with Improved Linearity", in International Conference on IC Design and Technology (ICICDT), (2019).
- [6]. A. Katarmal, A. Mecwan, and M. Patel, "RF CMOS Double Balanced Gilbert Cell Mixer for 5G Application", in 3rd International Conference on Signal Processing and Communication (ICPSC), (2021).
- [7]. M. Kashani, M. Asghari, M. Yavari, and s. Mirabbasi, "A +7.6 dBm IIP3 2.4-GHz Double-Balanced Mixer with 10.5 dB NF in 65-nm CMOS", IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 64, no. 10, pp. 3214 – 3218, April, (2021).
- [8]. A. Nejedel, M. Abdulaziz, M. Törmänen, and H. Sjöland, "A positive feedback passive mixer-first receiver front-end," in Proc. IEEE Radio Freq. Integr. Circuits Symp., pp. 79-82, Jun., (2015).
- [9]. S. Krishnamurthy and A. M. Niknejad, "Design and Analysis of Enhanced Mixer-First Receivers Achieving 40-dB/decade RF Selectivity," IEEE Journal of Solid-State Circuits, vol. 55, no. 5, pp. 1165–1176, (2020).
- [10]. Qaiser Nehal, "Low power mixer-first receiver with second-order baseband filtering TIA," in IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS), (2020).
- [11]. Hyungjoo Seo, and Jin Zhou, "A Passive-Mixer-First Acoustic-Filtering Superheterodyne RF Front-End," IEEE Journal of Solid-State Circuits, vol. 56, no. 5, May, (2021).
- [12]. B. Razavi, "The Transimpedance Amplifier," IEEE Solid-State Circuits Magazine, vol. 11, no. 1, Winter, (2019).
- [13]. N. Kim, V. Aparin, and L. E. Larson, "A resistively degenerated wide-band passive mixer with low noise figure and +60 dBm IIP2 in 0.18 μm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp.185-188, June, (2008).

- [14]. D. Kaczman, M. Shah, M. Alam, M. Rachedine, D. Cashen, L. Han, and A. Raghavan, "A single-chip 10-Band WCDMA/HSPA 4-band GSM/EDGE SAW-less CMOS receiver with DigRF 3G interface and +90 dBm IIP2," IEEE Journal of Solid-State Circuits, vol. 44, no. 3, pp. 718–739, Mar., (2009).
- [15]. A. Mirzaei, H. Darabi, J. Leete, and Y. Chang, "Analysis and optimization of direct-conversion receivers with 25% duty-cycle current-driven passive mixers," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 57, No. 9, pp. 2353–2366, Sep., (2010).
- [16]. P. K. Sharma and N. Nallam, "Linearity and NF tradeoff in input matched N-path mixer-first receivers with shunt-feedback TIAs," in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS), pp. 1–4, May, (2019).
- [17]. J. Jiang, J. Kim, A. Karsilayan, and J. Silva-Martinez, "A 3–6-GHz Highly Linear I-Channel Receiver With Over +3.0-dBm In-Band P1dB and 200-MHz Baseband Bandwidth Suitable for 5G Wireless and Cognitive Radio Applications," IEEE Transactions on Circuits and Systems–I: Regular Papers, vol. 66, no. 8, August, (2019).
- [18]. A. N. Bhat, R. van der Zee, S. Finocchiaro, F. Dantoni, and B. Nauta, "A baseband-matching-resistor noise-canceling receiver architecture to increase in-band linearity achieving 175 MHz TIA bandwidth with a 3-stage inverter-only OpAmp," in Proc. IEEE Radio Freq. Integr. Circuits Symp. (RFIC), Boston, MA, USA, pp. 155–158, Jun., (2019).
- [19]. A. Martin: "Cadence Design Environment", New Mexico State University, Oct., (2002).

ABSTRACT

A highly linear wide bandwidth down-conversion mixer for direct-conversion receivers in CMOS

This paper presents the down-conversion mixer in the direct-conversion receivers for new generation communication systems such as LTE and sub-6 GHz 5G. A current-controlled dual-balanced passive mixer combines with a local oscillator (LO) signal that positive pulse width is 1/4 the signal cycle (25% duty cycle) to reduce noise and improve conversion gain. A transimpedance amplifier (TIA) circuit based on a self-bias current-reuse inverter circuit is proposed to achieve high linearity and wide bandwidth simultaneously. The mixer is designed on 28 nm CMOS technology. Post-layout simulation results illustrate that the mixer has a conversion gain variation of 0.45 dB per 100 MHz in a baseband bandwidth of 580 MHz. The noise figure (NF) is 9.2 dB. The two-order input intercept point (IIP2) and the three-order input intercept point (IIP3) is 23.6 dBm and 61.5 dBm, respectively. The circuit consumes power of 40.1 mW with a supply voltage of 0.9 V whereas it occupies an area of 0.023 mm².

Keywords: Direct-conversion receiver; Passive mixer; Current-to-voltage amplifier; High linearity; Wide baseband bandwidth.